VESA 2026 Tokyo Workshop

October 27, 2026

VESA Agenda

9:00am JT	Registration Opens	N/A
9:30am – 10:00am JT	Snacks & Refreshments	N/A
10:00am – 10:30am JT	VESA Overview and Standards Updates, Including DisplayPort v 2.1b	Jim Choate, Compliance Manager, VESA
10:30am – 11:00am JT	DisplayPort Link Layer CTS v 2.1 MST Updates and Automotive Extension Services Updates	Neal Kendall, Senior Staff Product Marketing Manager, Teledyne LeCroy
11:00am – 11:30am JT	DP v 2.1 PHY CTS Overview and Updates	Wataru Ito, Application Engineer, Teledyne LeCroy
11:30am – 12:00pm JT	VESA Display Panel Metrics Standards Overview	Noriyasu Matsuno, Lab Manager, Granite River Labs
12:00pm – 1:00pm JT	Lunch	N/A
1:00pm – 1:30pm JT	LRD/Active Cable Testing and DP 2.1 Enhanced Connector Certification Challenges	Lexus Lee, Technical Program Manager, Allion Labs
1:30pm – 2:15pm JT	Design Considerations for USB-C Products	Abel Astley, Head of USB Technology, Unigraf Oy
2:15pm – 2:45pm JT	Break	N/A
2:45pm – 3:00 pm JT	VESA Compliance Program	Jim Choate, Compliance Manager, VESA
3:00pm – 3:10pm JT	Summary, Questions & Answers	Jim Choate, Compliance Manager, VESA
3:10pm – 3:40 pm JT	Demo Stations Overview	N/A

VESA Overview and Standards Updates

Jim Choate
VESA Compliance Program Manager

Agenda

- VESA Overview
- DisplayPort Overview
- VESA Technology Development Areas
- Summary

VESA OVERVIEW

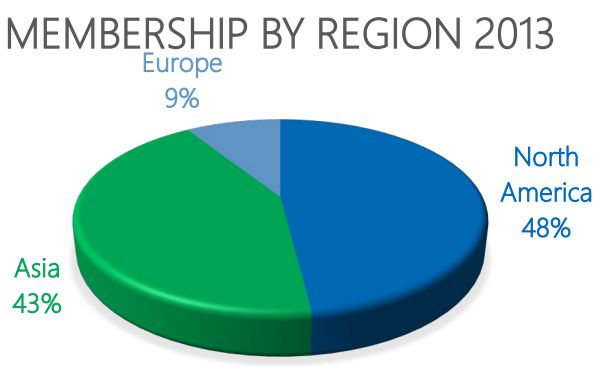
VESA Vision

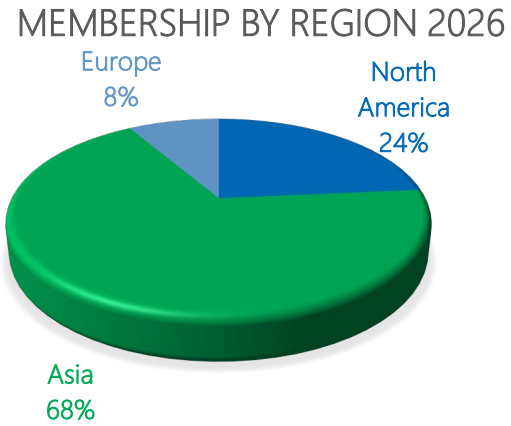
- VESA's vision is continual growth in technical standards development and evolution as an international trade association, with a worldwide membership driving standards initiatives, product implementations, and market implementation.

About VESA

- A growing global industry alliance with 369 members. Continuous growth in membership.
- Mission to develop, promote and support ecosystem of vendors and ***certified*** interoperable products for the electronics industry.
- *Develops OPEN standards, contribution is open to all companies at all stages of development*

VESA Membership Growth by %

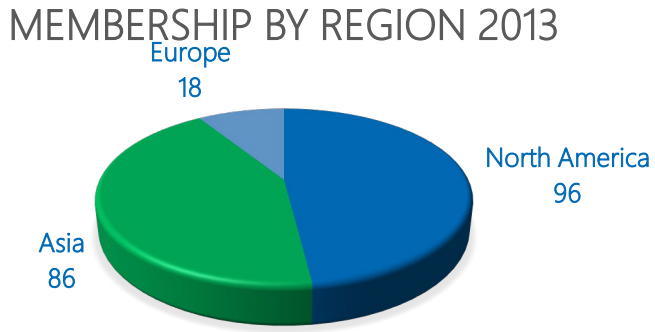


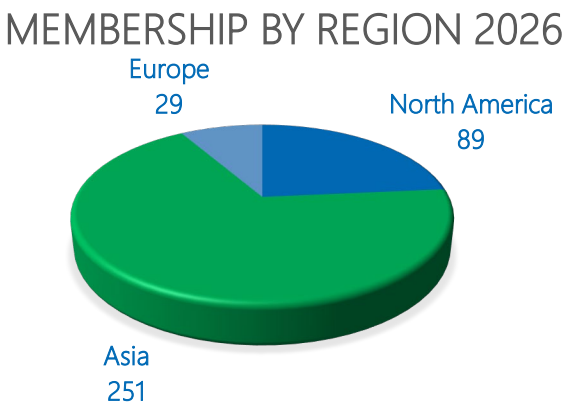


- **Total Ecosystem:** 200 total corporate members worldwide.
- **Western Core:** North American companies hold the largest single regional share.
- **Balanced Footprint:** Early-stage adoption driven primarily by foundational US chipmakers and device OEMs.

- **Total Ecosystem:** Expanded to 369 total corporate members.
- **Epicenter Shift:** Asian tech hubs now represent over two-thirds of the standards body.
- **Global Standard:** Widespread international integration driven by the ubiquity of DisplayPort, DPAM, eDP, Display Panel Metrics (DPM)) and automotive display profiles.

VESA Membership Growth by Total Companies





- **The Illusion of Decline:** A percentage-only view falsely suggests North American membership shrank by half (48% down to 24%).
- **The Reality of Stability:** In absolute numbers, North American membership stayed completely robust and stable (89 vs 96 companies). Europe membership has grown 61% in this interval.
- **The Growth Engine:** The structural shift is entirely additive—fueled by **165 new Asian companies** joining the ecosystem to support massive display infrastructure expansion.

VESA Standards Enable Many Market Segments…



Monitors, PCs and laptops



Gaming consoles and headsets



Smartphones and tablets



Automotive



Multi-Stream Transport (MST)

NEW: VESA DP AE specification and DP AE CTS

VESA Local Asian Support Capability

- VESA continues to provide local support to Asia to address growing regional membership needs
- **Kellen** is VESA's Representative in Asia
- This partnership provide members with a communication option in their native language. Kellen handles membership related activities including, new membership requests, renewals, event support and translation of VESA member messaging, etc.
- AsiaVESA@kellencompany.com or at +86 10 6580 0670

DisplayPort ™ Overview

DisplayPort Market Penetration

- DisplayPort adoption continues to grow in 2026
- DisplayPort and DisplayPort Alternate Mode over USB-C
  - The common monitor interface for personal computers
  - Supported on the USB-C interfaces
    - Mandated for USB4 and Thunderbolt
  - Automotive integration with DP AE specification
  - Mobile phones with USB-C
  - ***New:*** *AR/VR standard and CTS*
- Embedded DisplayPort (eDP)
  - >95% to near 100% penetration in notebook PCs, used in many high-end tablets and automotive

DisplayPort 2.1b Summary

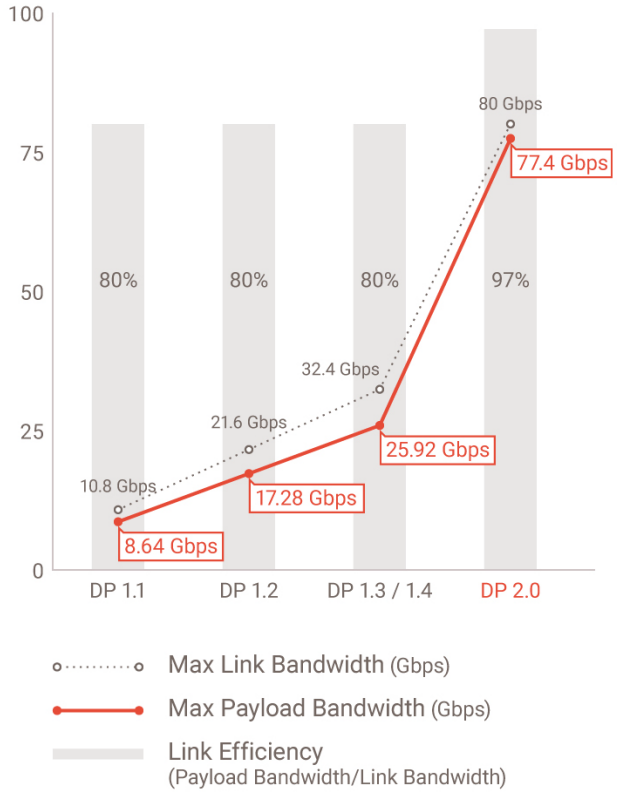
- DisplayPort v2.1b was released in December 2025
- Major features added in v2.0/v2.1/v2.1a/v2.1b:
  - Added 128b/132b DP channel coding (UHBR rates)
  - Increase in data bandwidth performance (almost 3X) with new link rates up to 20 Gbps/lane
  - Panel Replay, similar to PSR (Panel Self Refresh) used for eDP
  - DSC support mandated
  - Enhanced DP connectors and cables (DP40, DP54 and DP80)
  - DP PHY specification alignment with USB4 PHY specification
  - Updated DP to HDMI v2.1 or higher protocol converter (PCON)
  - Corrects errata
  - Replaces DP40 cables with DP54 to expand higher rate cable length
  - Expanded Tunneling capability
  - Updates for DP AE Services specification
  - DP80LL cable spec section (active cables for longer reach with lower loss)
  - LRD Active Cable Electrical Mandate section

VESA

- DisplayPort 2.1b enables up to 3X increase in video bandwidth performance vs DP 1.4
- UHBR10, UHBR13.5 and UHBR20 provides up to 80Gbps link bandwidth for 4 lanes at 20Gbps.
- First standard to support 8K resolution (7680 x 4320) at 60 Hz refresh rate with full-color 4:4:4 resolution, including with 30 bits per pixel (bpp) for HDR-10 support
- Beyond 8K resolutions achieved with maximum link rate to up to 20 Gbps/lane and more efficient 128b/132b channel coding

DisplayPort™

EVOLUTION OF DISPLAYPORT DATA BANDWIDTH



DisplayPort 2.1 Link Layer CTS Summary

- DP 2.1 LL CTS v1.1 released 12/2025
- Major updates:
  - Updates to align with other published VESA standards and terminology
  - Incorporated many approved and published SCRs
    - For example: FEC, Audio, DisplayID, min Hblank/Vblank, etc
  - Addition of new Source, Sink and Branch device MST tests (covered separately)
  - LTTPR emulation testing

VESA Technology Development Areas

VESA technology development

VESA members are collaborating on several key technology areas

- Embedded DisplayPort - v2.0 (published Sept 2024)
- DP Tunneling over USB4 – compliance testing has begun
- AR/VR Task Group
  - Focused on creating solutions roadmap to meet performance, power and implementation requirements for future AR/VR needs. Specification is released. Work on CTS underway
- DP Automotive Extension Task Group
  - Working with automotive industry to address needs for high-resolution performance in this market segment
  - Working on DP AE CTS and testing
- MST Compliance Test Updates
  - DP 2.1 LL CTS v1.1 released and new tests became normative 7/7/2029
- Display Performance Metrics Task Group
  - DisplayHDR, ClearMR, AdaptiveSync updates and proposals for future capabilities

VESA Logos and Marketing Guidelines

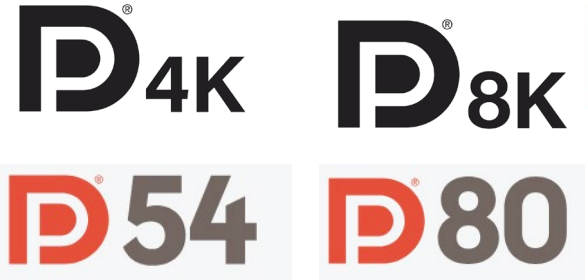
VESA Membership Allows Use of VESA Logos

- When your product passes certification company can use VESA logo to show customers proof of quality

Cable Logos include:

DP Product Logos include:

Display Logos include:



VESA DisplayPort MST CTS 改進

Alok Soni/Neal Kendall
Teledyne LeCroy
2026年10月27日 – 日本、東京

MST Source CTS Updates Since CTS Rev 1.1

MSTソース:CTSバージョン1.1以降のCTSアップデート

- **Agenda**
  - Overview of CTS updates since Rev 1.1
  - MST Source CTS updates
  - MST Branch CTS updates
  - Composite Sink CTS updates
  - New Sink and Source tests
  - Summary
  - Q/A and feedback

- **議題.**
  - Rev 1.1以降のCTSアップデートの概要
  - MSTソースCTSの最新情報
  - MST支部CTSの最新情報
  - 複合会CTSアップデート
  - 新しいフィードインおよびソーステスト
  - 概要
  - 質疑応答とフィードバック

MST CTS Coverage Summary

Area	Rev 1.1 Tests	New Tests	Updated Tests
Source	21	0	4
Branch	54	2	15
Composite Sink	48	1	14

MST CTSカバレッジ概要

面積	Rev 1.1 テスト	新しいテスト	テストの更新
出典	21	0	4
支線	54	2	15
複合合成コレクション	48	1	14

CTS Updates - MST Source Device

MSTソース CTSの更新情報 CTS Rev 1.1以降

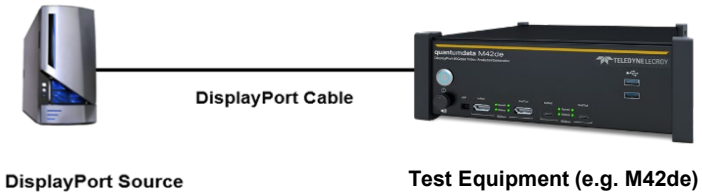
- MST Source Tests in Rev 1.1 CTS (21 Tests):
  - 4.10.1.1 to 4.10.1.21.
- MST Source Tests updates since Rev 1.1 CTS via approved SCRs.
  - 4.10.1.4
  - 4.10.1.8
  - 4.10.1.12
  - 4.10.1.21

- MSTソースはバージョン1.1 CTSでテスト(合計21テスト) :
  - 4.10.1.1 to 4.10.1.21.
- バージョン1.1以降、MSTのソーステストは承認されたSCRを通じてCTSを更新しています.
  - 4.10.1.4
  - 4.10.1.8
  - 4.10.1.12
  - 4.10.1.21

CTS Updates - MST Source Device

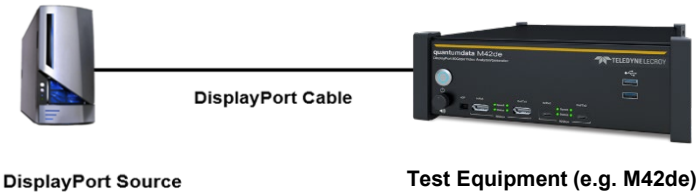
CTSアップデート - MSTソースデバイス

- How to run MST Source CTS:
  - Connect TE to Source DUT.



  - From Test Equipment software fill out CDF entry.
    - **Note**: Test Equipment automatically retrieves CDF entries from the VESA CDF JSON file.
  - Select MST Source Tests and then run them.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- 如何運行 MST Source CTS:
  - TEをソースのDUTに接続します.



  - 試験機器ソフトウェアからCDFエントリーを入力してください.
    - **注:テストデバイスは自動的にVESA CDF JSONファイルからCDFエントリを取得します**.
  - MSTのソーステストを選択し、それを実行してください。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます.

CTSアップデート - MSTソースデバイス

MST出典:CTS CDF入力詳細

S.No	能力	CDF登記	デフォルト値
1	MSTはサポートを移しますか? 選択肢:はい、いいえ	MST_TRANS_SUPPORTED	はい
2	最大で同時対応できるストリーミング回数はどれくらいですか? 選択肢:1、2、3、4	MST_MAX_STREAM_COUNT	4
3	Source DUTはUpリクエストを処理していますか? 選択肢:はい、いいえ	MST_UP_REQUEST_SUPPORTED	はい
4	Source DUTはRSNアップリクエストを処理していますか? 選択肢:はい、いいえ	MST_RSN_REQUEST_SUPPORTED	いいえ
5	最大対応可能なデイジーチェーンシンクの数はどれくらいですか? 選択肢:1、2、3、4	MST_MAX_DAISY_CHAIN_SINK_SUPPORTED	4
6	Source DUTは電源オン・ダウン物理のリクエストに対応していますか? 選択肢:はい、いいえ	MST_POWER_UP_DOWN_PHY_SUPPORTED	はい

CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- MST Branch Device Tests in Rev 1.1 CTS (54 tests)
  - Branch Setup 1: 6.10.1.1 to 6.10.1.12 (12 tests)
  - Branch Setup 2: 6.10.2.1 to 6.10.2.10 (10 tests)
  - Branch Setup 3: 6.10.3.1 to 6.10.3.14 (14 tests)
  - Branch Setup4: 6.10.4.1 to 6.10.4.14 (14 tests)
  - Branch Setup 5: 6.10.5.1 to 6.10.5.4 (4 tests)
- MST Branch Device Tests updates since Rev 1.1 CTS via approved SCRs.
  - Branch Setup 1: 6.10.1.[1,5,6,7,8,9,10,11,12] (9 tests)
  - Branch Setup 2: 6.10.2.[3,6,7] (3 tests)
  - Branch Setup 3: 6.10.3.[3] (1 test)
  - Branch Setup 4: 6.10.4.[2,3] (2 tests)
- MST Branch Device Tests addition since Rev 1.1 CTS via approved SCRs
  - Branch Setup 2: 6.10.2.11: Verify the DFP port allocate payload allocation and de-allocation sequence
  - Branch Setup 3: 6.10.3.15: Verify the DFP port allocate payload allocation and de-allocation sequence.

- バージョン1.1 CTSでテストされたMST分岐装置(54回のテスト).
  - ブランチセットアップ1:6.10.1.1から6.10.1.12(12テスト)
  - ブランチセットアップ2:6.10.2.1から6.10.2.10(10テスト)
  - ブランチ設定3:6.10.3.1から6.10.3.14(14テスト)
  - ブランチセットアップ4:6.10.4.1から6.10.4.14(14テスト)
  - ブランチセットアップ5:6.10.5.1から6.10.5.4(4テスト).
- MSTブランチデバイステストは、バージョン1.1以降、CTSが承認されたSCRを通じて更新されています.
  - 分岐設定1:6.10.1。[1,5,6,7,8,9,10,11,12](9テスト)
  - 分岐セットアップ2:6.10.2。[3,6,7](3テスト)
  - ブランチセットアップ3:6.10.3。[3](1テスト)
  - 分岐セットアップ4:6.10.4。[2,3](2テスト).
- バージョン1.1からは、承認されたSCRを通じてMSTブランチデバイステストが追加されます.
  - ブランチ作成2:6.10.2.11:DFPポート構成のペイロード割り当ておよび分散順の検証
  - ブランチ作成3:6.10.3.15:ペイロード割り当ておよび分散シーケンスのDFPポート構成を検証.

CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to run MST Branch CTS
  - Connect Test Equipment to Branch DUT in Setup 1.
  - From Test Equipment software fill out CDF entry.
  - Select MST Branch Setup 1 and then run.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.



- 如何運行 MST 分支 CTS.
  - セットアップ1のブランチDUTにテストデバイスを接続してください。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTの分岐設定1を選択してから実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます。

CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to run MST Branch CTS
  - Connect Test Equipment to Branch DUT in Setup 2.
  - From Test Equipment software fill out CDF entry.
  - Select MST Branch Setup 2 and then run.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.



- 如何運行 MST 分支 CTS.
  - テストデバイスをConfiguration 2のブランチDUTに接続します。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTの分岐設定2を選択し、実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます.

CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to run MST Branch CTS
  - Connect Test Equipment to Branch DUT in Setup 3.
  - From Test Equipment software fill out CDF entry.
  - Select MST Branch Setup 3 and then run.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- 如何運行 MST 分支 CTS.
  - テストデバイスをConfiguration 3の分岐DUTに接続します。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTの分岐設定3を選択し、実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます。



CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to run MST Branch CTS
  - Connect Test Equipment to Branch DUT in Setup 4.
  - From Test Equipment software fill out CDF entry.
  - Select MST Branch Setup 2 and then run.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- 如何運行 MST 分支 CTS.
  - セットアップ4でテストデバイスをブランチDUTに接続してください。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTの分岐設定2を選択し、実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます。



CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to run MST Branch CTS
  - Connect Test Equipment to Branch DUT in Setup 5.
  - From Test Equipment software fill out CDF entry.
  - Select MST Branch Setup 5 and then run.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- 如何運行 MST 分支 CTS.
  - セットアップ5のブランチDUTにテストデバイスを接続してください。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTの分岐設定5を選択して実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます.



CTSアップデート - MSTブランチデバイス

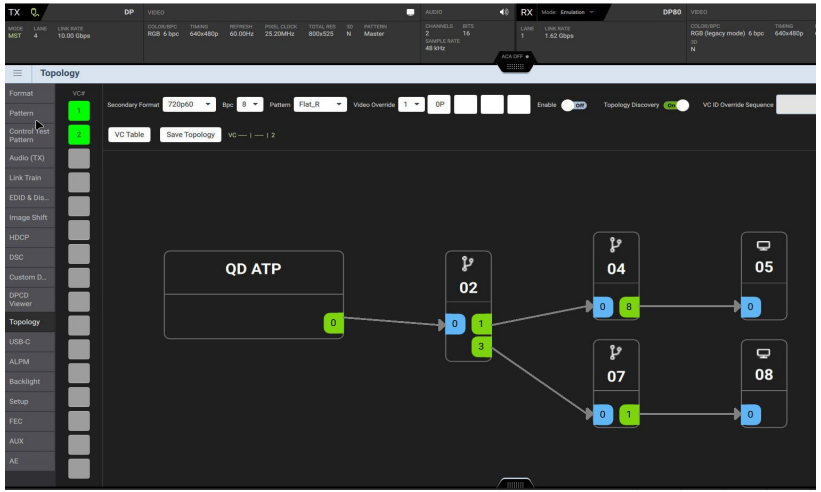
MST 分支 CTS CDF 輸入細節

S.No	能力	CDF登記	デフォルト値
1	DFP DP/USB-Cポートはいくつありますか? 選択肢:1から4	BRANCH_DUT_NO_OF_DFP_DPPORT	-
2	TE送信ポートに接続されたMSTデバイスのアップリンクポート番号 オプション:0から16まで	BRANCH_DUT_UFP_PORT_NUM_CONNECTED_TO_TE	-
3	MSTデバイスのダウンリンクポート番号はTE Rxポートに戻されます オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_TE	-
4	MSTデバイスのダウンリンクポート番号はSink1に戻されます オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK1	-
5	MSTデバイスの下流ポート番号はSink2に接続されています オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK2	-
6	MSTデバイスの下りポート番号をSink3に再接続します オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK3	-
7	MSTデバイスのダウンリンクポート番号はSink4に接続されています オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK4	-
8	Branch DUT 支援 CSN DFP 廣播嗎? 選項：真、假	BRANCH_DUT_CSN_DFP_BROADCAST	違う

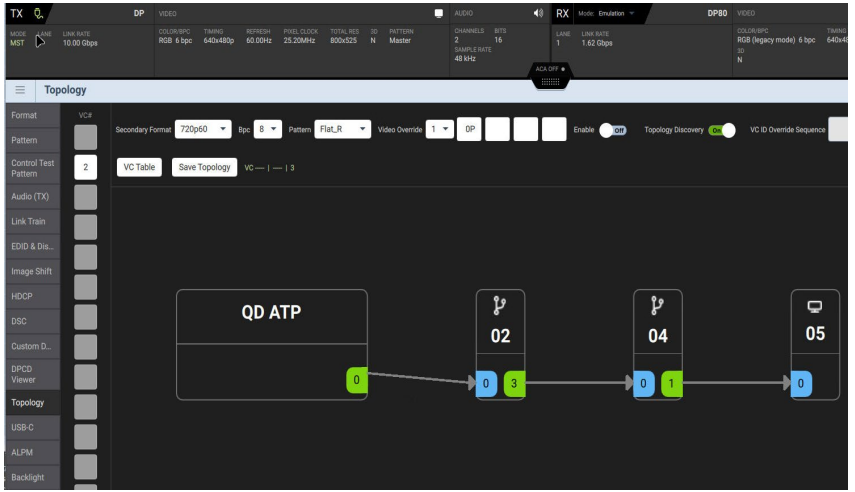
CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

- How to get port number value for CDF.
  - Connect Test Equipment to Branch DUT in Setup 2.
  - See Test Equipment Generator topology for ports (below left).
  - Disconnect one DFP port and see Test Equipment generator topology (below right).
  - The disconnected DFP port number is 1.



- CDFのポート番号値を取得する方法.
  - テストデバイスをConfiguration 2のブランチDUTに接続します。
  - ポートの詳細は試験装置のジェネレータートポロジーを参照してください。
  - DFPポートを切断してテスト機器の生成装置のトポロジーを確認してください。
  - 切断されたDFPポート番号は1です.

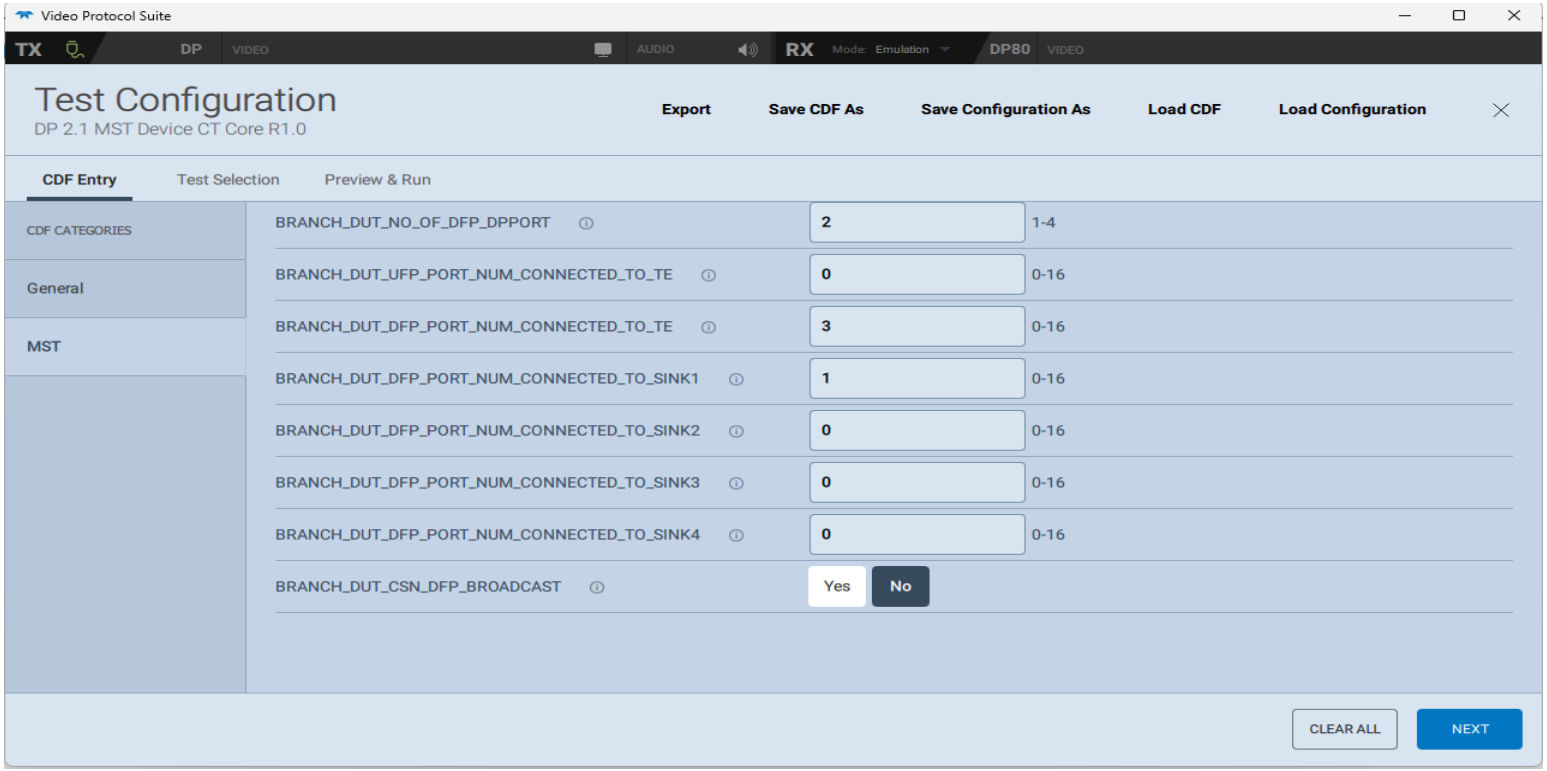


CTS Updates - MST Branch Device

CTSアップデート - MSTブランチデバイス

MST Branch CTS CDF Sample for Setup 2:

MST 分支 CTS CDF 設置 2 範例:



CTS Updates – Composite Sink Device

- MST Composite Sink Device Tests in Rev 1.1 CTS (48 tests)
  - CS Setup 1: 6.10.6.1 to 6.10.6.21 (21 tests)
  - CS Setup 2: 6.10.7.1 to 6.10.7.19 (19 tests)
  - CS Setup 3: 6.10.8.1 to 6.10.8.5 (5 tests)
  - CS Setup 4: 6.10.9.1 to 6.10.9.3 (3 tests)
- MST Composite Sink Device Test updates since Rev 1.1 CTS via approved SCRs.
  - CS Setup 1: 6.10.6.[2,4,6,7,8,11,12] (7 tests)
  - CS Setup 2: 6.10.7.[1,3,5,6,7,10] (6 tests)
  - CS Setup 3: 6.10.8.[1] (1 test)
- MST Composite Sink Device Test additions since Rev 1.1 CTS via approved SCRs
  - CS Setup 1: 6.10.6.22: Verify the DFP port allocate payload allocation and de-allocation sequence

CTSアップデート – コンポジットシンクの設置

- MSTコンポジットチャネルデバイスはバージョン1.1 CTSでテストされました(48回のテスト).
  - CS Setup 1: 6.10.6.1 to 6.10.6.21 (21 tests)
  - CS Setup 2: 6.10.7.1 to 6.10.7.19 (19 tests)
  - CS Setup 3: 6.10.8.1 to 6.10.8.5 (5 tests)
  - CS Setup 4: 6.10.9.1 to 6.10.9.3 (3 tests)
- CTSバージョン1.1以降、MST複合収束装置の試験はSCRのアップデートを通じて承認されています.
  - CS Setup 1: 6.10.6.[2,4,6,7,8,11,12] (7 tests)
  - CS Setup 2: 6.10.7.[1,3,5,6,7,10] (6 tests)
  - CS Setup 3: 6.10.8.[1] (1 test)
- バージョン1.1 CTS以降、MST複合集約装置のテストは承認されたSCRを通じて追加されています.
  - CSセットアップ1:6.10.6.22:ペイロード割り当ておよび分散シーケンスのためのDFPポート構成の検証

CTS Updates - Composite Sink Device

CTSアップデート - コンポジット合成バスデバイス

- How to run MST Composite Sink Device CTS Setup 1
  - Connect Test Equipment to Composite Sink DUT in Setup 1.
  - From Test Equipment software fill out CDF entry.
  - Select MST Composite Sink Setup 1 Tests and then run them.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.



- MSTコンポジットケーブルデバイスCTSセットアップ1の運用方法.
  - セットアップ1では、テスト機器をコンポジットシンクのDUTに接続します。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTコンポジットシンクの設定1テストを選択し、それを実行してください。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます。

CTS Updates - Composite Sink Device

CTSアップデート - コンポジット合成バスデバイス

- How to run MST Composite Sink Device CTS Setup 2
  - Connect Test Equipment to Composite Sink DUT in Setup 2.
  - From Test Equipment software fill out CDF entry.
  - Select MST Composite Sink Setup 2 Tests and then run them.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- MSTコンポジットケーブルデバイスCTSセットアップ2の運用方法.
  - セットアップ2では、テスト機器をコンポジットシンクのDUTに接続します。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTコンポジットシンクセットアップ2テストを選択してから実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます。



CTS Updates - Composite Sink Device

CTSアップデート - コンポジット合成バスデバイス

- How to run MST Composite Sink Device CTS Setup 3
  - Connect Test Equipment to Composite Sink DUT in Setup 3.
  - From Test Equipment software fill out CDF entry.
  - Select MST Composite Sink Setup 3 Tests and then run them.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- MSTコンポジットケーブルデバイスCTSセットアップの使い方.
  - セットアップ3では、試験機器が複合樹脂シンク試験対象に接続されます。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTコンポジットバスバーセットアップ3テストを選択し、実行します。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます.



CTS Updates - Composite Sink Device

CTSアップデート - コンポジット合成バスデバイス

- How to run MST Composite Sink Device CTS Setup 4
  - Connect Test Equipment to Composite Sink DUT in Setup 4.
  - From Test Equipment software fill out CDF entry.
  - Select MST Composite Sink Setup 4 Tests and then run them.
  - Follow graphical user interface prompt for setup/validation.
  - After test execution completes, generate the HTML report.

- MSTコンポジットケーブルデバイスCTSセットアップ4の運用方法.
  - セットアップ4では、テスト機器がコンポジットシンクのDUTに接続されます。
  - 試験機器ソフトウェアからCDFエントリーを入力してください。
  - MSTコンポジットシンクを4テスト用に選び、それを実行してください。
  - 設定・検証はグラフィカルユーザーインターフェースの指示に従ってください。
  - テストが実行されると、HTMLレポートが生成されます.



VESA コンポジットケーブルデバイスCTSアップデート

MST 複合匯 CTS CDF 輸入細節

S.No	能力	CDF登記	預設值
1	DFP DP/USB-Cポートはいくつありますか? 選択肢:1から4	BRANCH_DUT_NO_OF_DFP_DPPORT	-
2	TE送信ポートに接続されたMSTデバイスのアップリンクポート番号 オプション:0から16まで	BRANCH_DUT_UFP_PORT_NUM_CONNECTED_TO_TE	-
3	MSTデバイスのダウンリンクポート番号はTE Rxポートに戻されます オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_TE	-
4	MSTデバイスのダウンリンクポート番号はSink1に戻されます オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK1	-
5	MSTデバイスの下流ポート番号はSink2に接続されています オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK2	-
6	MSTデバイスの下りポート番号をSink3に再接続します オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK3	-
7	MSTデバイスのダウンリンクポート番号はSink4に接続されています オプション:0から16まで	BRANCH_DUT_DFP_PORT_NUM_CONNECTED_TO_SINK4	-
8	Branch DUTはCSN DFPブロードキャストをサポートしていますか? 選択肢:真、偽、いいえ	BRANCH_DUT_CSN_DFP_BROADCAST	違う

CTS Updates – Composite Sink Device

CTSアップデート – コンポジットシンクの設置

- How to get port number value for CDF.
  - Connect Test Equipment to Composite Sink DUT in Setup 2.
  - See Test Equipment Generator topology:
  - The Composite Sink has 2 DFP Ports, 1 internal and 1 external.
  - Test Equip Sink connected by DFP Port 1
  - Sink 1 connected on Test Equip DFP Port 0
  - Sink 2 connected on Sink1 DFP Port 1.



- CDFのポート番号値を取得する方法.
  - セットアップ2では、テスト機器をコンポジットシンクのDUTに接続します。
  - テスト機器の発電機トポロジーを参照してください:
  - コンポジットシンクには2つのDFPポートがあり、1つは内部用、もう1つは外部用です。
  - 試験機器のバスバーはDFPポート1で接続されています
  - シンク1はテスト機器DFPポート0に接続されています
  - シンク2はSink1のDFPポート1に接続されています.

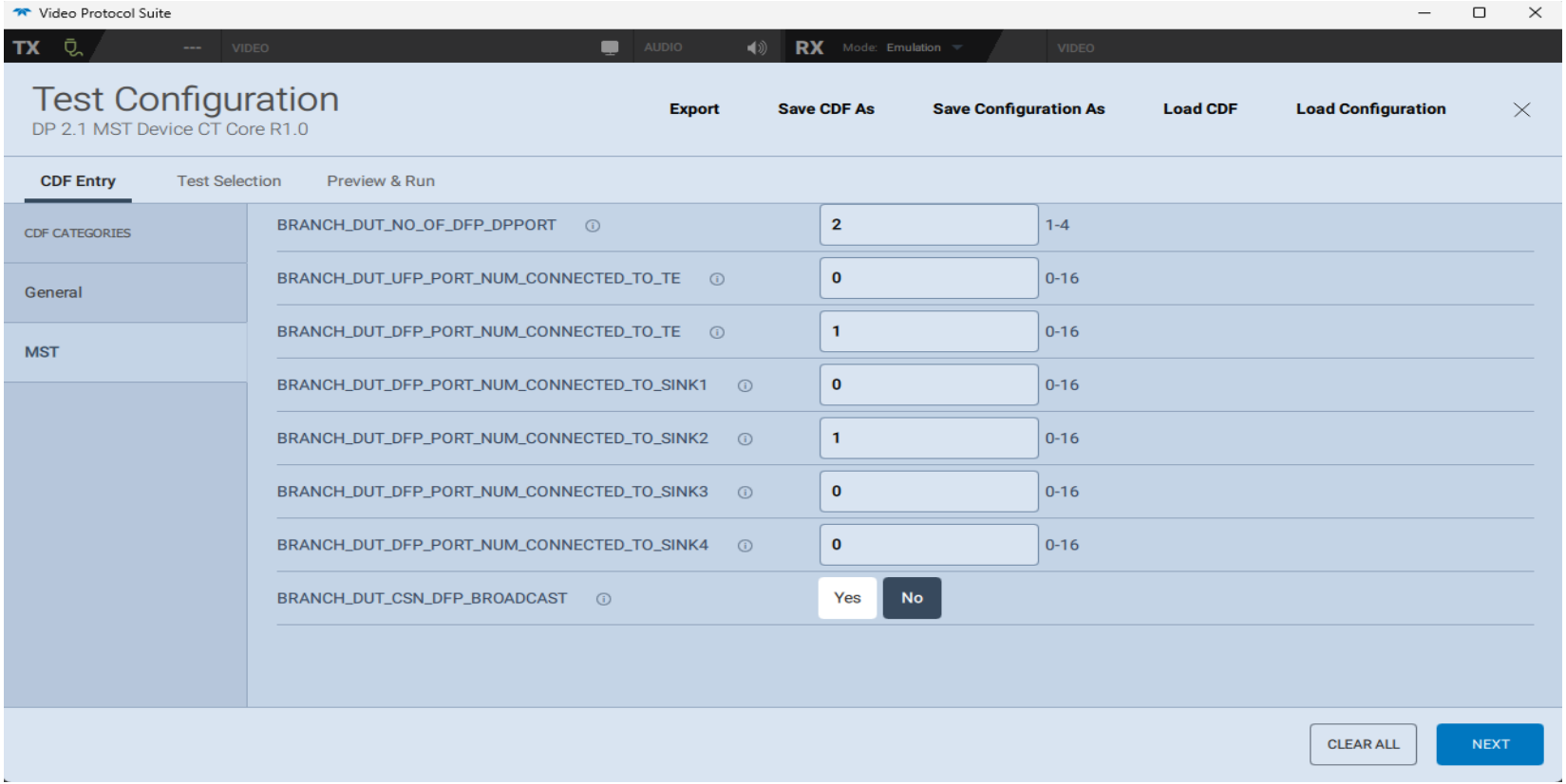


CTS Updates – Composite Sink Device

CTSアップデート – コンポジットシンクの設置

MST Composite Sink CTS CDF Sample for Setup 2:

MSTコンポジットフィーダーCTS CDF セットアップ例2:



Recent New Test Additions 最近追加されたテスト項目

- New Source Tests
  - 4.3.1.25 : Successful link training when Sink is in BIOS mode with random LTTPR .
  - 4.4.1.7 : Verify Source DUT video transmission timing is within MAX_UNCOMPRESSED_PIXEL_RATE capability
  - 4.4.1.8 : Validation for VSC-SDP when transmitting YCbCr4:20 and ITU-R BT.2020 formats

- 新しいソーステスト.
  - 4.3.1.25:SinkがBIOSモードに入り、ランダムにLTTPRを設定すると、リンクトレーニングは成功します。
  - 4.4.1.7: ソーステストデバイスの映像伝送時間がMAX_UNCOMPRESSED_PIXEL_RATE能力内かどうかを確認する
  - 4.4.1.8: YCbCr4:20およびITU-R BT.2020フォーマットを送信時のVSC-SDP検証

VESA Recent New Test Additions

最近追加されたテスト項目

- New Sink Tests
  - 5.7.1.7 EDID – Mandatory Blocks for HDR Displays
  - 5.7.19.7 Native DisplayID – Mandatory Blocks for HDR Displays
  - 5.7.20.4 Native DisplayID – Product Identification Data Block Product Name String ASCII Validation
  - 5.7.20.5 EDID – Product Identification Data Block Revision (Byte 1)
  - 5.7.20.6 EDID – Product Identification Data Block Number of Payload Bytes in Block (Byte 2)
  - 5.7.20.7 EDID – Product Identification Data Block Week of Manufacture/Model Tag and Year of Manufacture/Model Year (Bytes 12 and 13)
  - 5.7.20.8 EDID – Product Identification Data Block Product Name String ASCII Validation
  - 5.7.21.6 Native DisplayID – Display Parameters Data Block Horizontal and Vertical Image Size Verification
  - 5.7.21.7 EDID – Display Parameters Data Block Revision (Byte 1)
  - 5.7.21.8 EDID – Display Parameters Data Block Number of Payload Bytes in Block (Byte 2)
  - 5.7.21.9 EDID – Display Parameters Data Block Feature Support Flags Field (Byte 0Bh)
  - 5.7.21.10 EDID – Display Parameters Data Block Native Luminance-related Fields (Bytes 18h to 1Dh)
  - 5.7.21.11 EDID – Display Parameters Data Block Depth and Display Device Technology Fields (Byte 1Eh).

- 新会試験.
  - 5.7.1.7 EDID – 強制HDR表示ブロック
  - 5.7.19.7 ネイティブDisplayID – HDR表示の強制ブロック
  - 5.7.20.4 ネイティブDisplayID – 製品識別データブロック 製品名文字列 ASCII認証
  - 5.7.20.5 EDID – 製品識別データブロックの改訂(バイト1)
  - 5.7.20.6 EDID – 製品識別データブロックペイロードバイト(バイト2)
  - 5.7.20.7 EDID – 製品識別データブロック 製造週/モデルラベルおよび製造年/モデル年(バイト12および13)
  - 5.7.20.8 EDID – 製品識別データブロック 製品名文字列 ASCII検証
  - 5.7.21.6 ネイティブDisplayID – 表示パラメータデータブロックにおける水平および垂直画像サイズの検証
  - 5.7.21.7 EDID – 表示パラメータデータブロックのリビジョン(バイト1)
  - 5.7.21.8 EDID – 表示パラメータ データブロック ペイロードバイト(ブロック2)
  - 5.7.21.9 EDID – 表示パラメータデータブロック機能がフラグフィールド(バイト0Bh)をサポートします
  - 5.7.21.10 EDID – 表示パラメータデータブロック ネイティブ明るさ関連フィールド(バイト18hから1Dh)
  - 5.7.21.11 EDID – 表示パラメータ、データブロック深度、表示装置技術分野(バイト1Eh)。

Recent New Test Additions

最近追加されたテスト項目

- New Sink Tests Continued…
  - 5.7.21.12 – EDID – Display Parameters Data Block Horizontal and Vertical Image Size Verification
  - 5.7.22.8 – EDID – Display Interface Features Data Block Revision (Byte 1)
  - 5.7.22.9 – EDID – Display Interface Features Data Block Number of Payload Bytes in Block (Byte 2)
  - 5.7.22.10 – EDID – Display Interface Features Data Block Supported Interface Color Depth-related Fields
  - 5.7.22.11 – EDID – Display Interface Features Data Block Minimum Pixel Rate at Which YCbCr 4:2:0 Encoding Is Supported (Byte 7)
  - 5.7.22.12 – EDID – Display Interface Features Data Block Supported Interface Audio Capability and Feature Flags (Byte 8)
  - 5.7.22.13 – EDID – Display Interface Features Data Block Supported Interface Color Space and EOTF-related Fields
  - 5.7.22.14 – EDID – Display Interface Features Data Block Additional Supported Interface Color Space and EOTF-related Fields (Bytes 0Bh to 12h)
  - 5.4.1.9 : Verify Sink DUT displays the video timing based on MAX_UNCOMPRESSED_PIXEL_RATE capability
  - 5.6.3.8: Verify Sink DUT correctly reconstructs image when HActive % Slice_Count != 0.

- 新たな沈没試験が続いていた…
  - 2012年7月5日 – EDID – 表示パラメータデータブロックの水平および垂直画像サイズ検証
  - 5.7.22.8 – EDID – ディスプレイインターフェース機能データブロックのリビジョン(バイト1)
  - 5.7.22.9 – EDID – ディスプレイインターフェース機能データブロック、ペイロードバイト数(バイト2)
  - 5.7.22.10 – EDID – ディスプレイインターフェース機能 データブロックサポートインターフェース 色 深度関連フィールド
  - 5.7.22.11 – EDID – ディスプレイインターフェース機能でYCbCr 4:2:0エンコーディングを最小ピクセルレートのデータブロック(バイト7)でサポート
  - 5.7.22.12 – EDID – ディスプレイインターフェース機能、データブロック、対応インターフェース、オーディオ機能、機能フラグ(バイト8)
  - 5.7.22.13 – EDID – ディスプレイインターフェース機能、データブロックサポートインターフェース、カラースペース、EOTF関連フィールド
  - 5.7.22.14 – EDID – ディスプレイインターフェース機能、データブロック、追加サポートインターフェース、カラースペース、EOTF関連フィールド(0Bhから12hのバイト)
  - 5.4.1.9: インポートされたテストデバイスの映像表示タイミングをMAX_UNCOMPRESSED_PIXEL_RATE能力に基づいて検証
  - 5.6.3.8: HActive % Slice_Count != 0 の場合、インポート DUT が画像を正しく再構成しているか確認します。。

Summary 概要

- **Key Takeaways**
  - CTS coverage significantly expanded since Rev 1.1
  - New Source, Branch, and Composite Sink validations added
  - Test Equipment software supports automated CDF population via VESA JSON file
  - Simplified CTS execution workflow
  - New tests improve EDID, NDID, HDR and MST interoperability coverage

- **要約.**
  - Rev 1.1以降、CTSのカバレッジは大幅に拡大しました
  - ソースコード、分岐、複合交換機の検証機能が追加されました
  - テスト機器ソフトウェアは、VESA JSONファイルによるCDFの自動作成をサポートしています
  - 簡易CTS実行ワークフロー
  - 新しいテストはEDID、NDID、HDR、MSTの相互運用性のカバレッジを強化します

問答與回饋

Alok Soni/Neal Kendall – 謝謝你
Teledyne LeCroy
2026年10月16日 – 台北，台灣

VESA DisplayPort Automotive Extension(DP AE)は機能安全実装をテストします

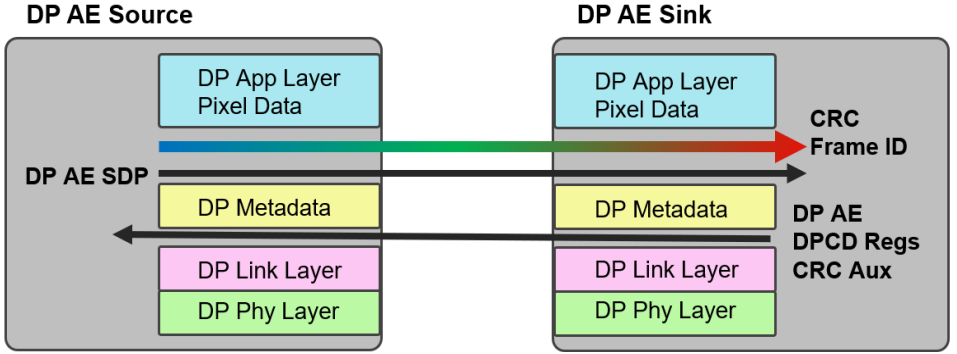
Neal Kendall and Alok Soni
Teledyne LeCroy
2026年10月27日 – 日本、東京

VESA DisplayPort オートモーティブエクステンション—はじめに

VESA DisplayPort Automotive Extended EditionはDisplayPortとどう違うのですか??

- 従来のDisplayPortはリンクの信頼性に重点を置いています：
  - リンクトレーニング、リンクアライメント、クロックリカバリー。
  - 前方誤り訂正(FEC)。
  - ディスプレイストリーム圧縮(DSC)。
  - 映像と音声を送信してください。
  - マルチストリーム伝送(MST)。
- DisplayPortは以下の点を検証しません：
  - 全体のイメージの流れは正しいです。
  - 正しい画像が生成されました。
  - フレームの損失は全くありませんでした。
  - これらの写真は期限通りに届けられました。
  - 注:DisplayPortの自動車拡張トポロジーは静的であると仮定しています。発見、初期化、設定は簡素化されています。

- DisplayPortの自動車拡張プラグイン：
  - AEはDisplayPort 2.1aおよび/またはeDP 2.0の仕様を使用しています。
  - DP AEは、機能、ステータス、構成に関する新しいDP AE DPCD レジスタを導入します。
  - DP AEはCRCを使って映像とデータをチェックします。
  - DP AEは受信したDisplayPortストリームのフレームシーケンスとフレームタイミングをチェックします。
  - DP AEは二次パケット(DP AE SDP)を追加します。



DisplayPort 自動車拡張—プロファイル

機能安全およびセキュリティプロファイル

機能安全要素—プロファイル1およびプロファイル2

非圧縮ピクセル上のCRC	ピクセル上の圧縮CRC
再構成されたDSCピクセル上のCRC	CRCはセカンダリパケット(SDP)上に配置されます。
CRCの重点分野	主流属性(MSA)に関するCRC
モニターのフレームドロップ、重複、タイムアウト	状況報告

- 自動車用拡張機能.
  - 功能安全(配置文件1和2)——防止意外故障。
  - 安全性(配置文件3和4)——防止恶意入侵和修改。

セキュリティ要素 – プロファイル3および4

MACマッピングは非圧縮ピクセル/圧縮バイトおよびMSAで行われます	DP AEレベル2パケット(SDP)上のMACアドレス。
データプレーンセキュリティ(補助チャネル認証)	AEセカンダリデータパケット(SDP)の包括的な整合性とセキュリティ。

VESA DisplayPort 自動車拡張—機能安全

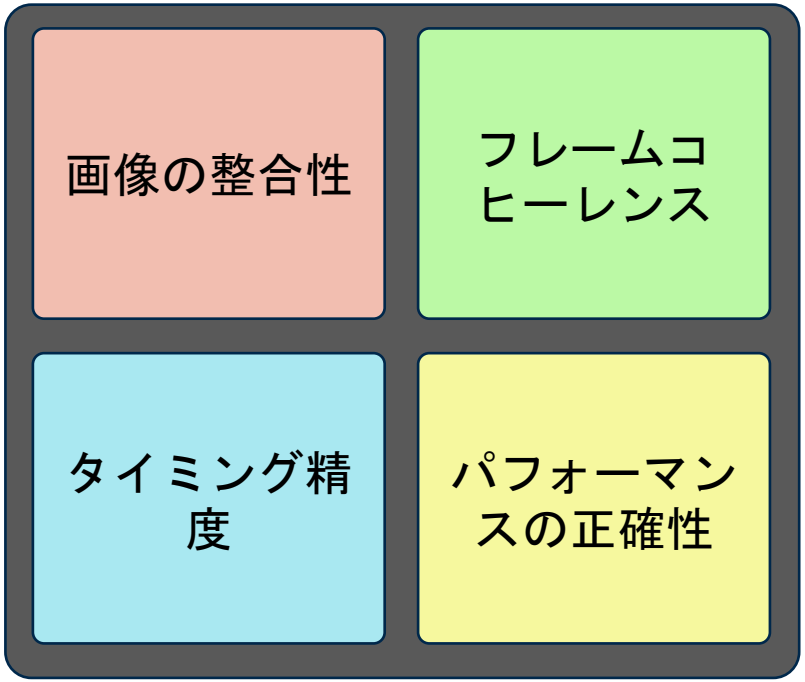
DisplayPortをビデオ伝送インターフェースから、自動車ディスプレイのエンドツーエンド監視システムへと拡張

なぜ機能安全のためにDP AEを選ぶのか??

自動車表示は安全性に関わる重要な情報をますます提供しています.

- 従来のDisplayPortはリンク伝送を検証しますが、エンドツーエンドの画像正確性は検証しません.
- DisplayPort AEは監視機構を追加します:
  - イメージの健全性。
  - フレームワークの一貫性。
  - タイミングの正確さ。
  - レンダリング精度.
- DisplayPort AEは迅速な故障検出とシステムレベルの安全対応を可能にします.
- DisplayPort AEはダッシュボードからマルチディスプレイコックピットアーキテクチャまで拡張可能です.

DisplayPort**自動車拡張安全装置**

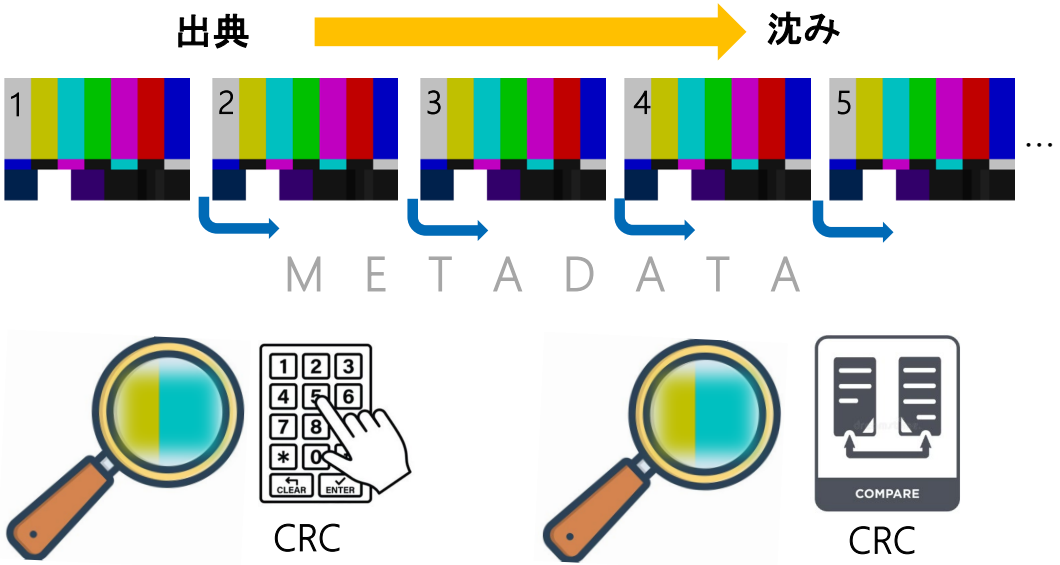


DisplayPort AE – 機能安全 – 画像整合性

画像の完全性監視—画像データが正しく届くかどうか？

目的:表示される画像がソースが生成する画像と一致しているかを検証すること.

- メカニズム:
  - CRCピクセル(非圧縮または圧縮"再構成ピクセル).
    注:圧縮技術によりSerDesはコスト効率が高まります，ケーブルの複雑さと重量を削減し、低功耗.
  - CRC圧縮バイト。
  - CRC主流属性(MSA)。
  - CRCセカンダリデータパケット(SDP)。
  - CRCオートモーティブプロモーションSDP。
  - CRCの補助チャネルメッセージ。
  - CRC関心分野(ROI).
- 検出:
  - ピクセル破損(圧縮/非圧縮)。
  - リンク送信とメタデータエラー.



VESA DisplayPort AE – 機能安全 – フォーカスエリア

懸念領域(ROI)を含むフレームビデオクリティカルモニタリング。

目的:表示の中で最も重要な領域を指定する.

- 目的:
  - 機能的安全監視はディスプレイ内の安全上重要な部分に集中します。
  - 最も重要な視覚情報のターゲットを絞った保護を可能にします.
- 地域(ROI)能力への注力.
  - 针对每个投资回报率(ROI)计算的CRC。
  - 每个显示屏最高可获得16的投资回报率。
  - ROI可以动态启用、禁用或重新配置。
  - 投资回报率可能在展示中重叠。
  - ROI座標は初期化時にAuxチャネルを介してシンクに送信されます.



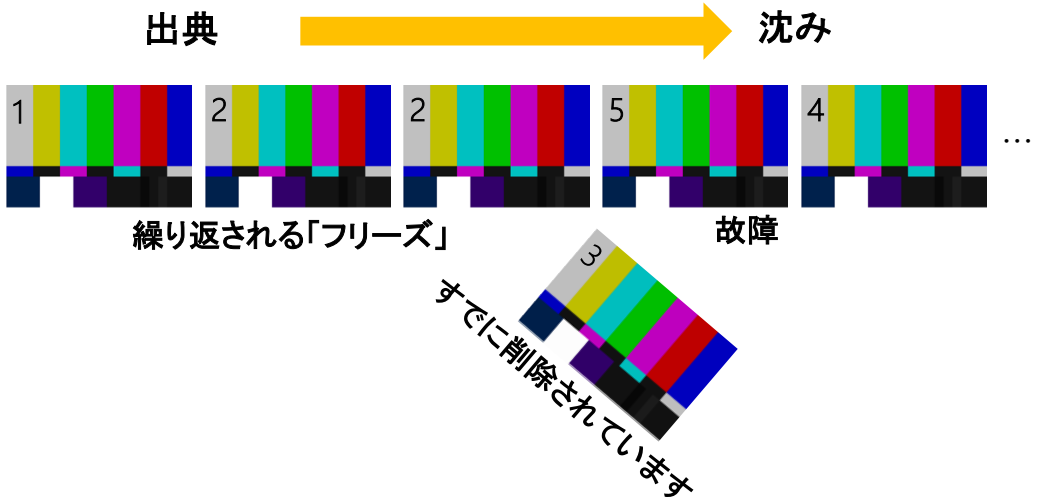


VESA DisplayPort AE – 機能安全 – フレーム連続性

フレーム連続性監視チェック:すべてのフレームを受信しましたか??

目的:すべての映像フレームが正しい順序で到着していることを確認する.

- メカニズム:
  - FRAME ID计数器, 每帧递增.
- 検出:
  - フレームロス(ドロップ)。
  - フレームを繰り返してください。
  - フレームの順序を乱す.

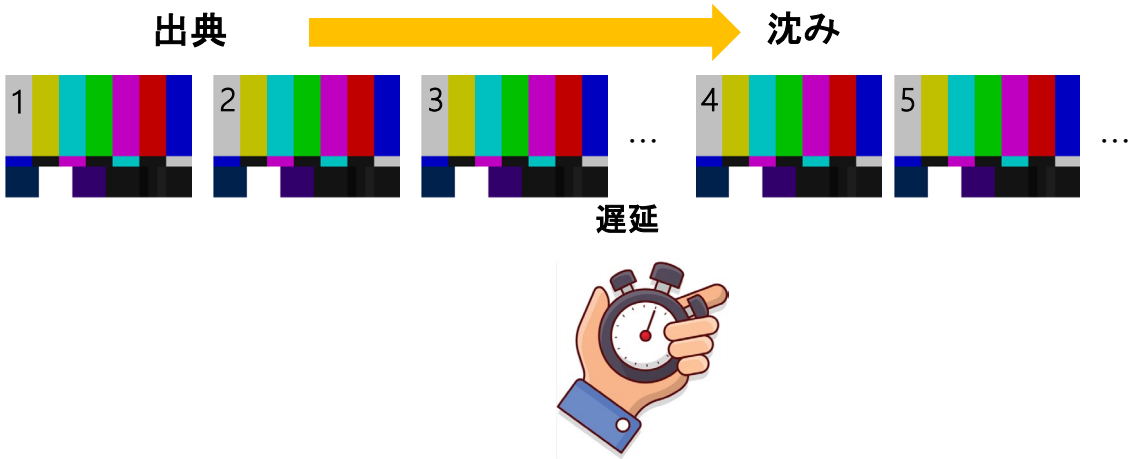


VESA DisplayPort AE – 機能安全 – タイミング正確性

動画のフレームやメタデータが時間通りに届くか確認するために、タイミングの正確さを確認してください？

目標:情報が期待通りに届くことを確認する.

- メカニズム:
  - 残業監視。
  - フレームIDプロセス
  - AE SDPメタデータ監視.
- 検出:
  - 延迟帧数。
  - 管道停滞。
  - 过度延迟.



VESA DisplayPort AE – 機能安全 – 故障検出/隔離

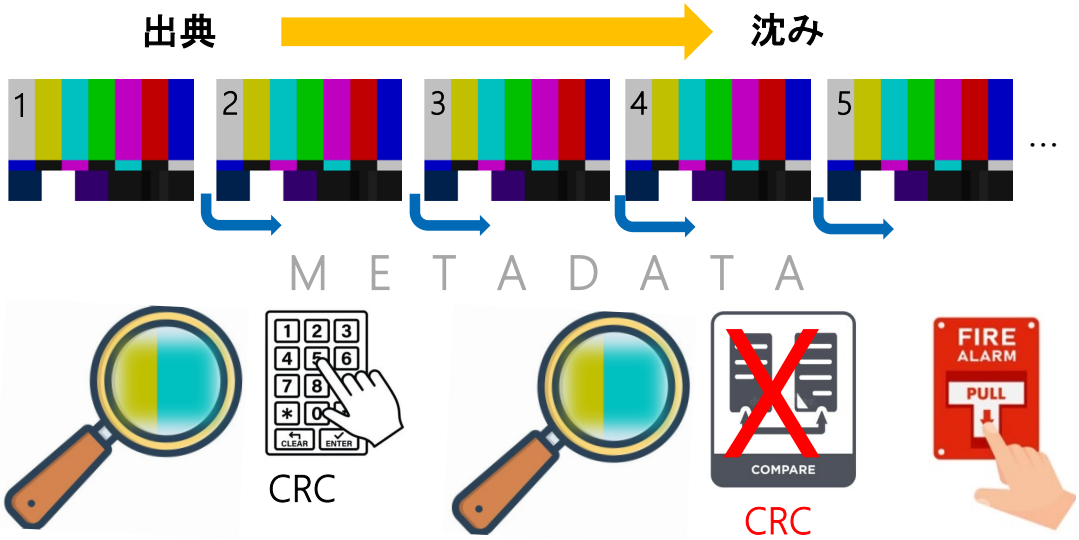
迅速な故障検出とアップグレード—車両が適切に対応できるようにします

目標:エラーが検出された際にドライバーやシステムに警告すること.

- ソフトエラー:
  - CRCは一致しません。
  - フレームレートの不一致。
  - イベントを一時停止。
- 大きな間違いだった:
  - 持続的な故障.
  - エラー閾値を超えました.

注:投資収益率(ROI)には独自のCRCがあります.

- 故障検出有効:
  - ドライバーアラート。
  - 故障保護動作。
  - システム冗長性の有効化および診断ログ.

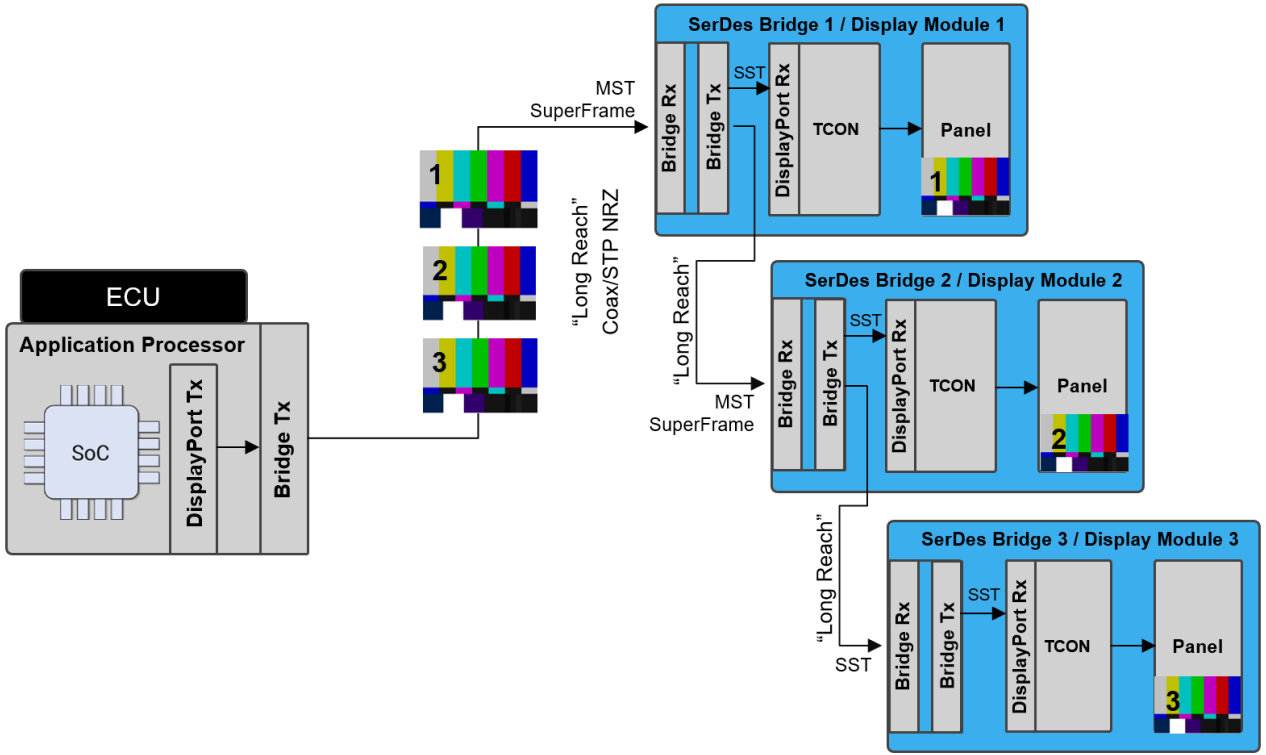


DisplayPort AE – 拓扑与架构

DisplayPort自動車拡張トポロジー

DP AEテストの初期化.

- マルチストリーム伝送(MST)—単一の物理チャネル上で複数の仮想チャネルを送信し、複数のディスプレイを行う。
- MSTはOpenGMSL、FPD Link、A-Phyなどの「長距離」伝送媒体上で動作します。

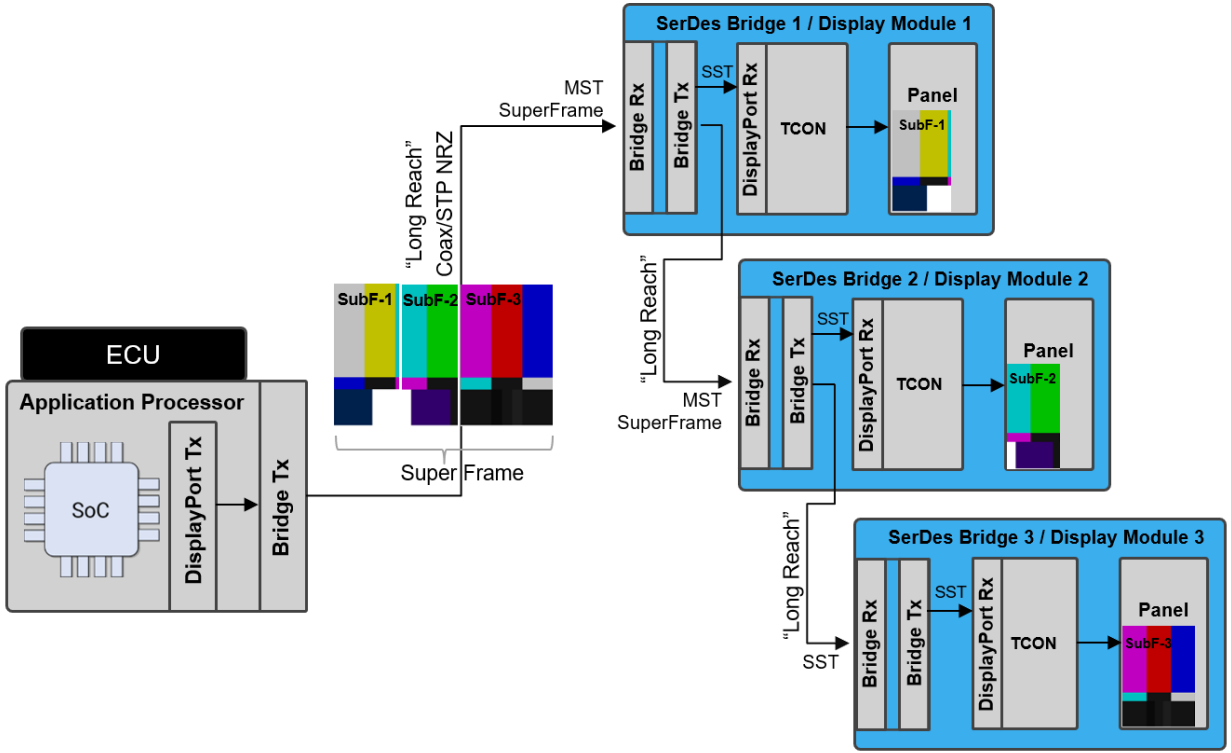


DisplayPort AE – 拓扑与架构

DisplayPort自動車拡張トポロジー

DP AEテストの初期化.

- スーパーフレームとサブフレーム—単一フレームのビデオフレームは複数のディスプレイに拡張されます。
- ハイパーフレームはOpenGMSL、FPD Link、A-Phyなどの「長距離」伝送媒体上で動作します。



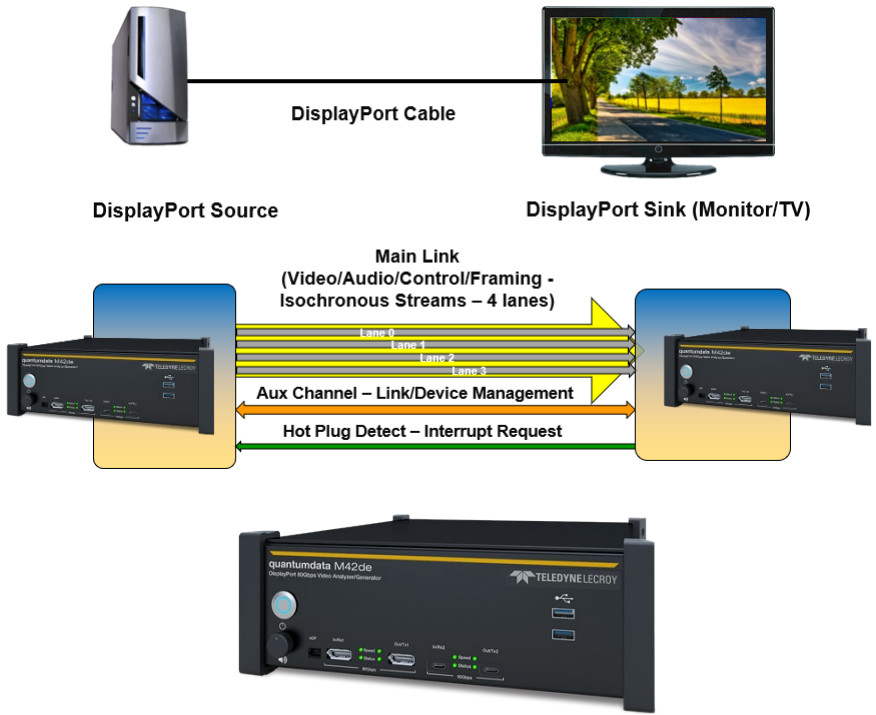
测试您的DisplayPort汽车扩展功能安全实现

VESA DisplayPort AE—機能安全試験

DisplayPortの自動車用拡張機能実装のテスト方法

DP AEのソース/ストリームテスト.

- 機器シミュレーション:
  - DP AEソースをシミュレートして表示やトポロジーをテストします。
  - DP AEディスプレイをテストしてソースや表示トポロジーをテストする.
- ビデオ生成の構成:
  - MSTまたはSuperFrameのトポロジーを設定する.
  - 関心領域(ROI)の設定.
- ビデオおよびプロトコル解析:
  - 受信ストリームのリアルタイムビュー。
  - ビデオやメタデータのキャプチャ、ポストプロダクション分析。
  - VESA DisplayPort自動車マーキングプロジェクトを支援するためのコンプライアンス試験.



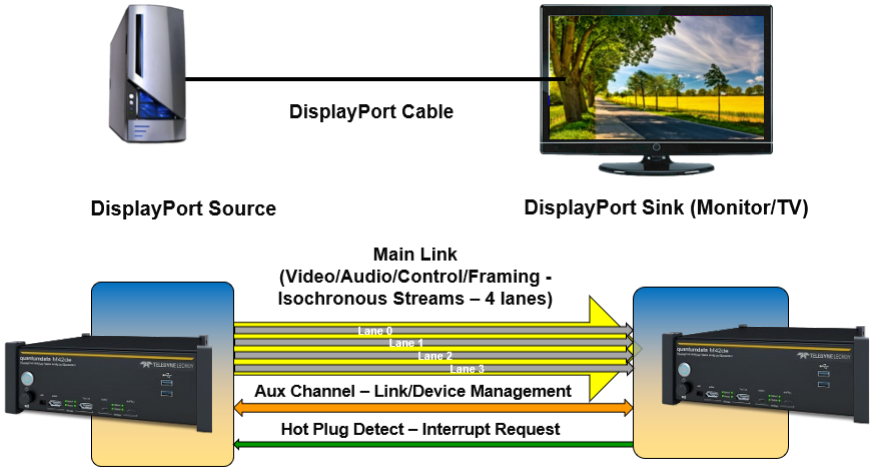
M42DE 80Gビデオアナライザー/ジェネレーター

VESA DisplayPort AE – 機能安全のテスト

DisplayPort自動車拡張実装のテスト方法

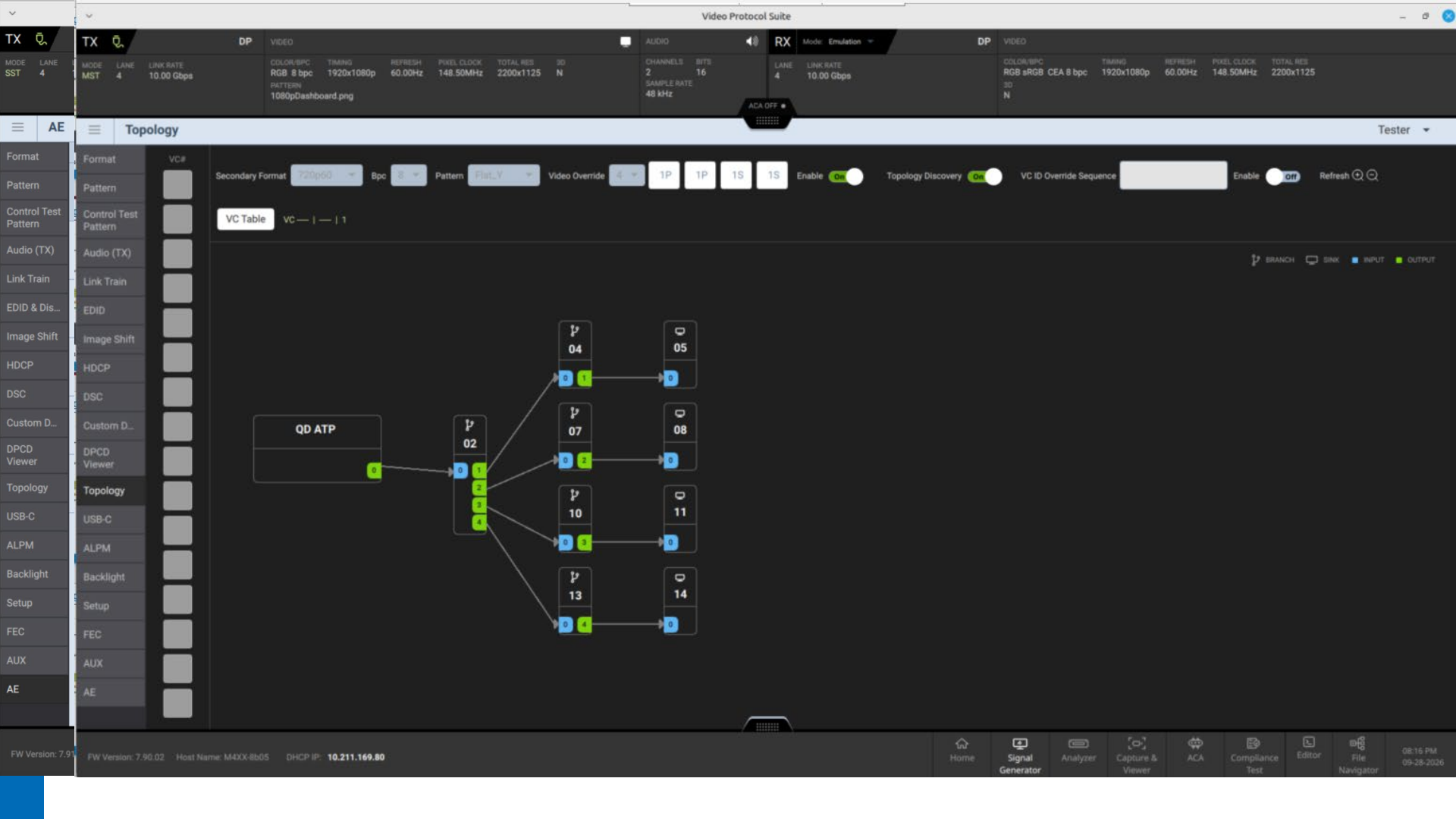
DP AE ソース/沈没 TESting.

- デバイスエミュレーション:
  - DP AEソースをエミュレートしてディスプレイをテストし、トポロジーを描写します。
  - DP AEディスプレイをエミュレートしてソースをテストし、トポロジーを描写する.
- 映像生成構成:
  - MSTまたはSuperFrames向けにトポロジーを設定してください。
  - 関心領域(ROI)の設定.
- ビデオおよびプロトコル解析:
  - 受信ストリームのリアルタイムビュー。
  - 動画やメタデータのキャプチャ、事後分析。
  - VESA DisplayPort自動車ロゴプログラムをサポートするためのコンプライアンステスト.





M42DE 80G ビデオアナライザー/ジェネレーター

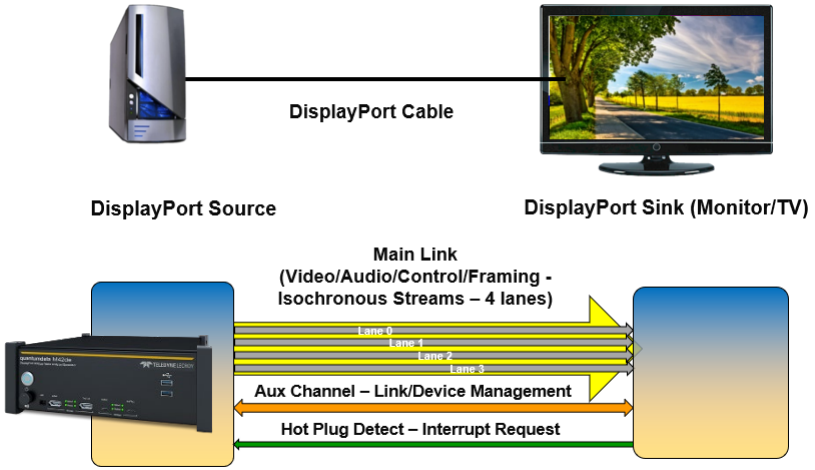

Video Protocol Suite
TX
DP
VIDEO
AUDIO
RX
Mode: Emulation
DP
VIDEO
MODE SST
LANE 4
MODE MST
LANE 4
LINK RATE 10.00 Gbps
COLOR/BPC RGB 8 bpc
TIMING 1920x1080p
REFRESH 60.00Hz
PIXEL CLOCK 148.50MHz
TOTAL RES 2200x1125
3D N
PATTERN 1080pDashboard.png
CHANNELS 2
BITS 16
SAMPLE RATE 48 kHz
LANE 4
LINK RATE 10.00 Gbps
COLOR/BPC RGB sRGB CEA 8 bpc
TIMING 1920x1080p
REFRESH 60.00Hz
PIXEL CLOCK 148.50MHz
TOTAL RES 2200x1125
3D N
ACA OFF
AE
Topology
Tester
Format
Pattern
Control Test Pattern
Audio (TX)
Link Train
EDID
Image Shift
HDCP
DSC
Custom D...
DPCD Viewer
Topology
USB-C
ALPM
Backlight
Setup
FEC
AUX
AE
VC#
Secondary Format
720p60
Bpc
8
Pattern
Flat_Y
Video Override
4
1P
1P
1S
1S
Enable
On
Topology Discovery
On
VC ID Override Sequence
Enable
Off
Refresh
VC Table
VC — | — | 1
BRANCH
SINK
INPUT
OUTPUT
QD ATP
02
04
05
07
08
10
11
13
14
FW Version: 7.90.02
Host Name: M4XX-8b05
DHCP IP: 10.211.169.80
Home
Signal Generator
Analyzer
Capture & Viewer
ACA
Compliance Test
Editor
File Navigator
08:16 PM
09-28-2026

VESA DisplayPort AE—機能安全試験

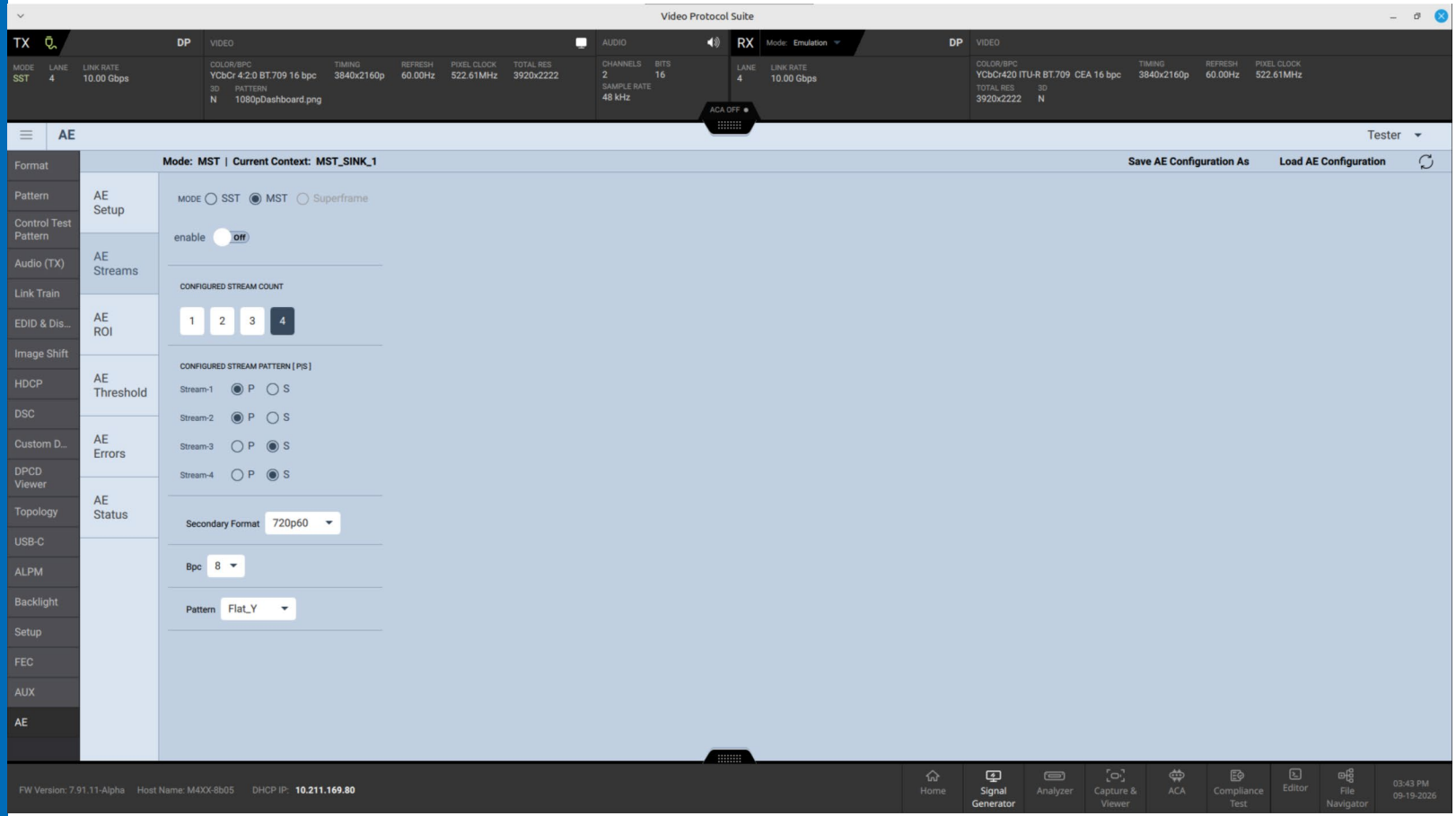
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- **中等教育のコースを選びましょう。**
- 興味のあるエリアを設定しましょう。
- エラー閾値を設定しましょう。
- Sink DPCD DP AEレジスタをご覧ください。
- 注入エラーです。
- 自動車の普及の現状を確認してください.



VESA DisplayPort AE – Testing Functional Safety

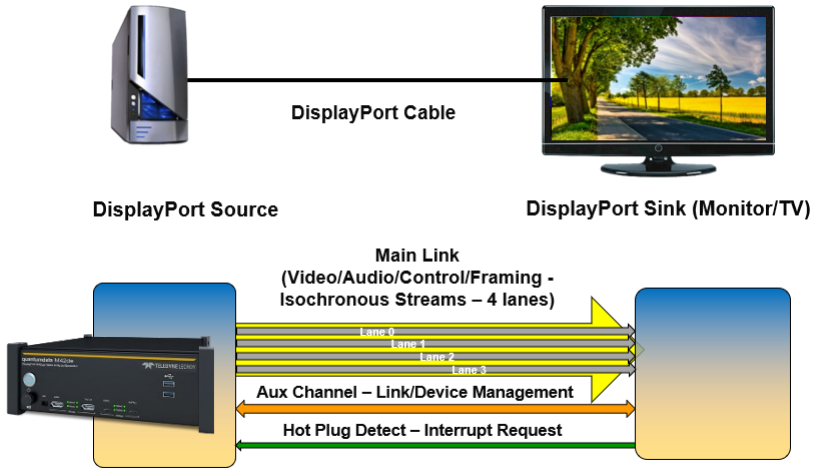


VESA DisplayPort AE—機能安全試験

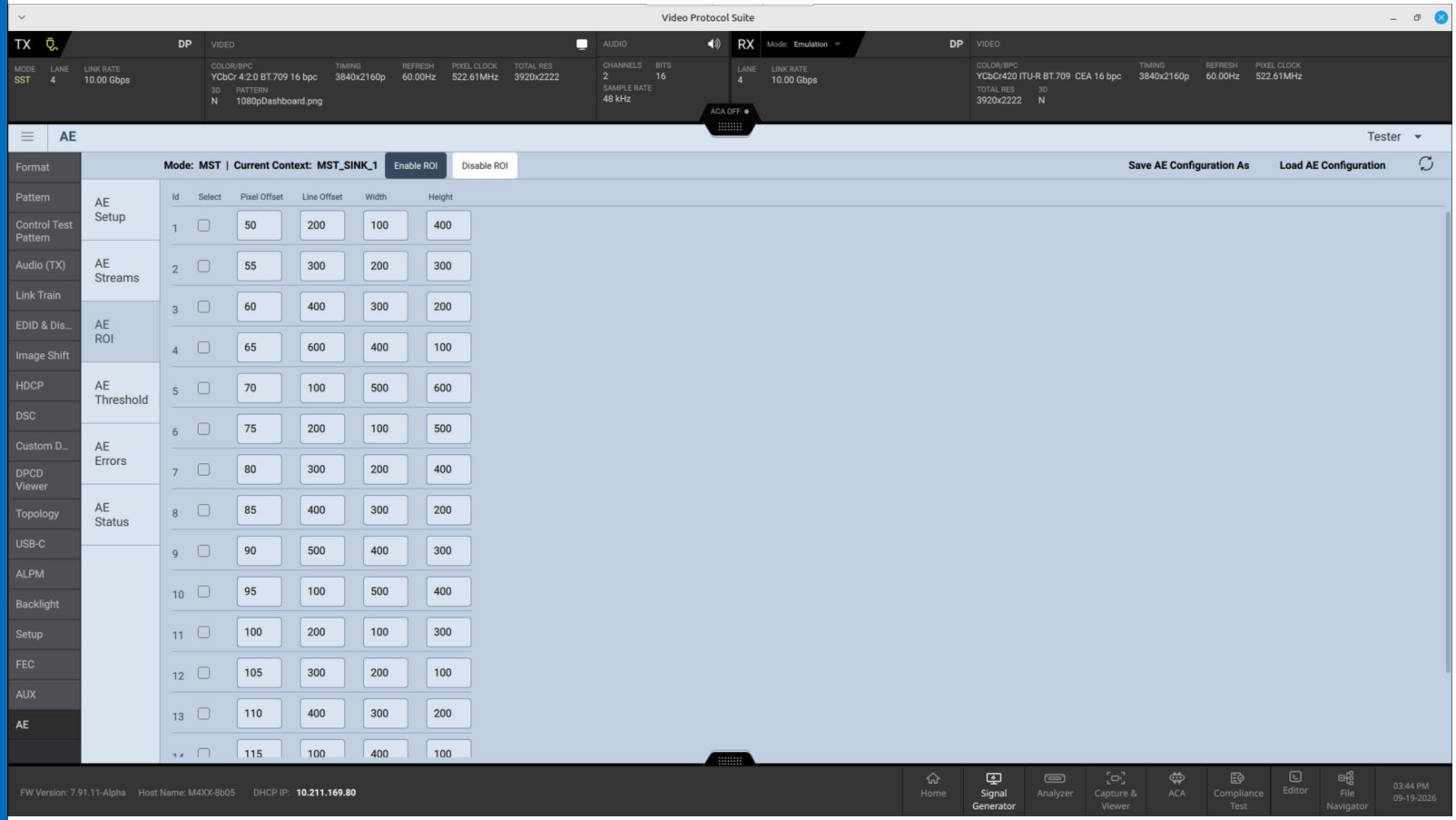
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- 中等教育のコースを選びましょう。
- **興味のあるエリアを設定しましょう。**
- エラー閾値を設定しましょう。
- Sink DPCD DP AEレジスタをご覧ください。
- 注入エラーです。
- 自動車の普及の現状を確認してください.



VESA DisplayPort AE – Testing Functional Safety

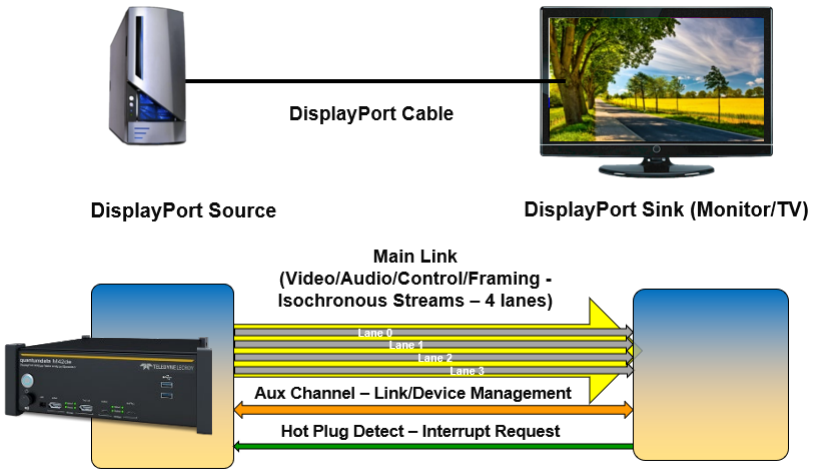


VESA DisplayPort AE—機能安全試験

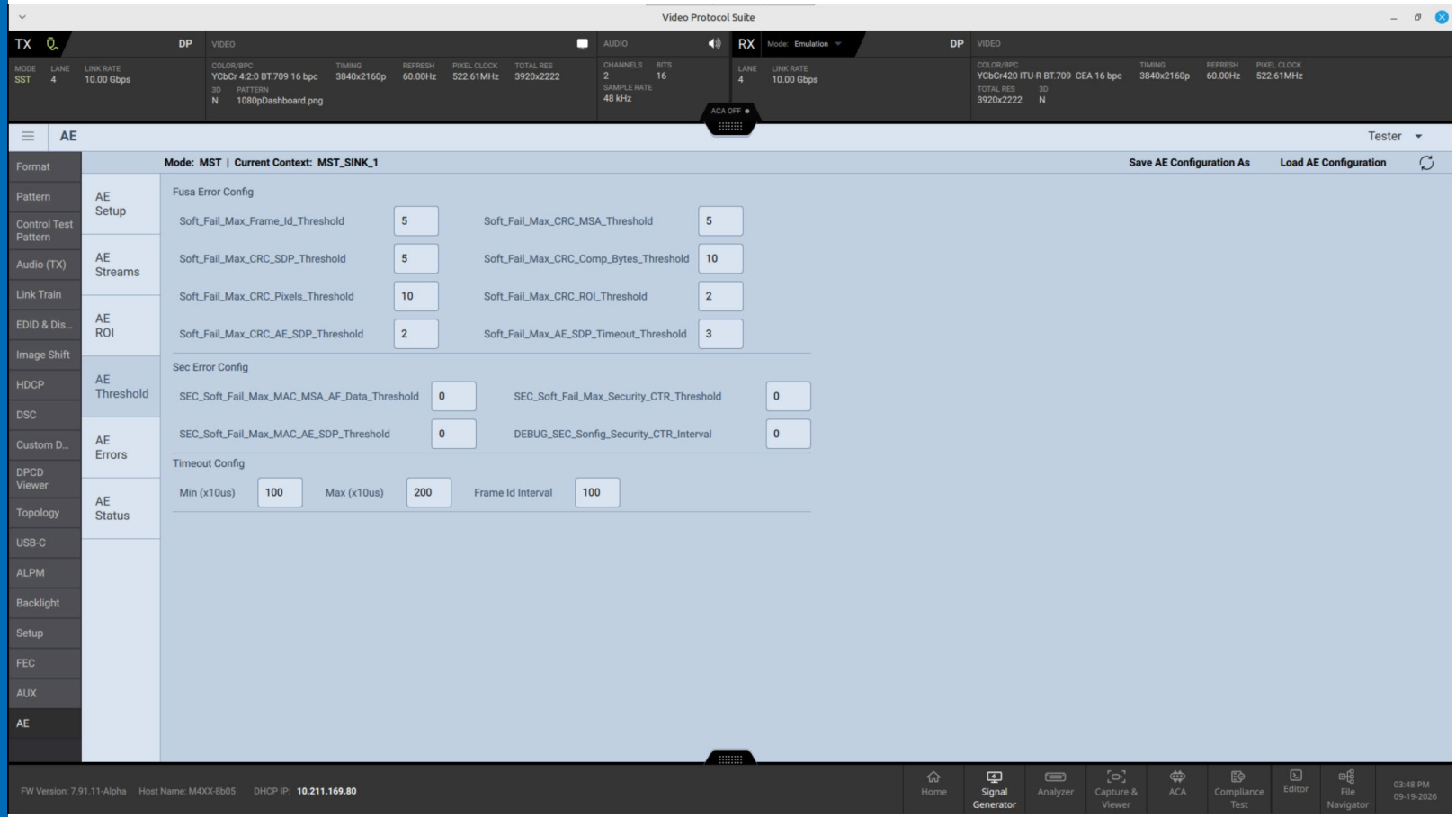
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- 中等教育のコースを選びましょう。
- 興味のあるエリアを設定しましょう。
- エラー閾値を設定しましょう。
- Sink DPCD DP AEレジスタをご覧ください。
- 注入エラーです。
- 自動車の普及の現状を確認してください.



VESA DisplayPort AE – Testing Functional Safety

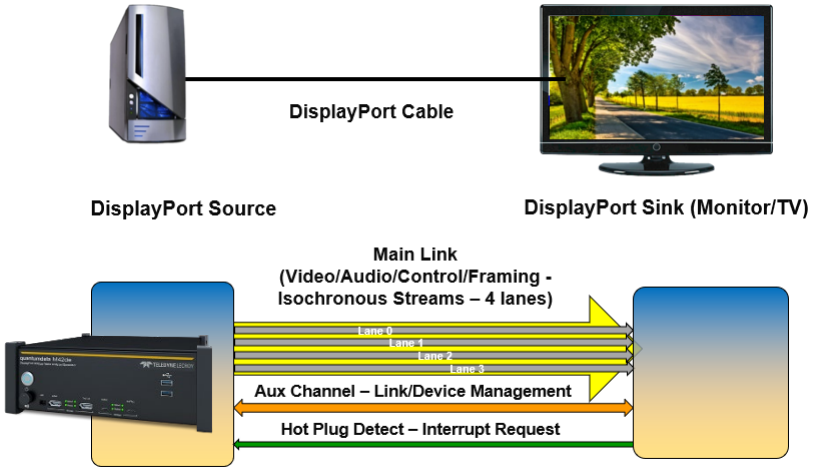


VESA DisplayPort AE—機能安全試験

DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- 中等教育のコースを選びましょう。
- 興味のあるエリアを設定しましょう。
- **エラー閾値を設定しましょう。**
- Sink DPCD DP AEレジスタをご覧ください。
- 注入エラーです。
- 自動車の普及の現状を確認してください.



VESA DisplayPort AE – Testing Functional Safety

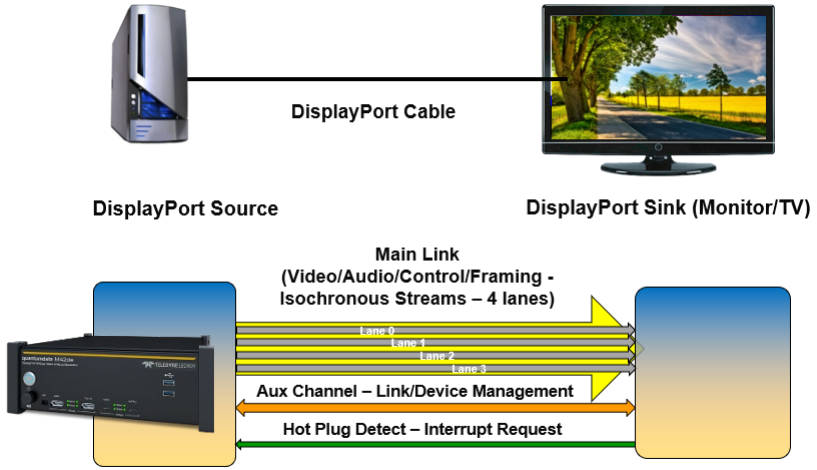


VESA DisplayPort AE—機能安全試験

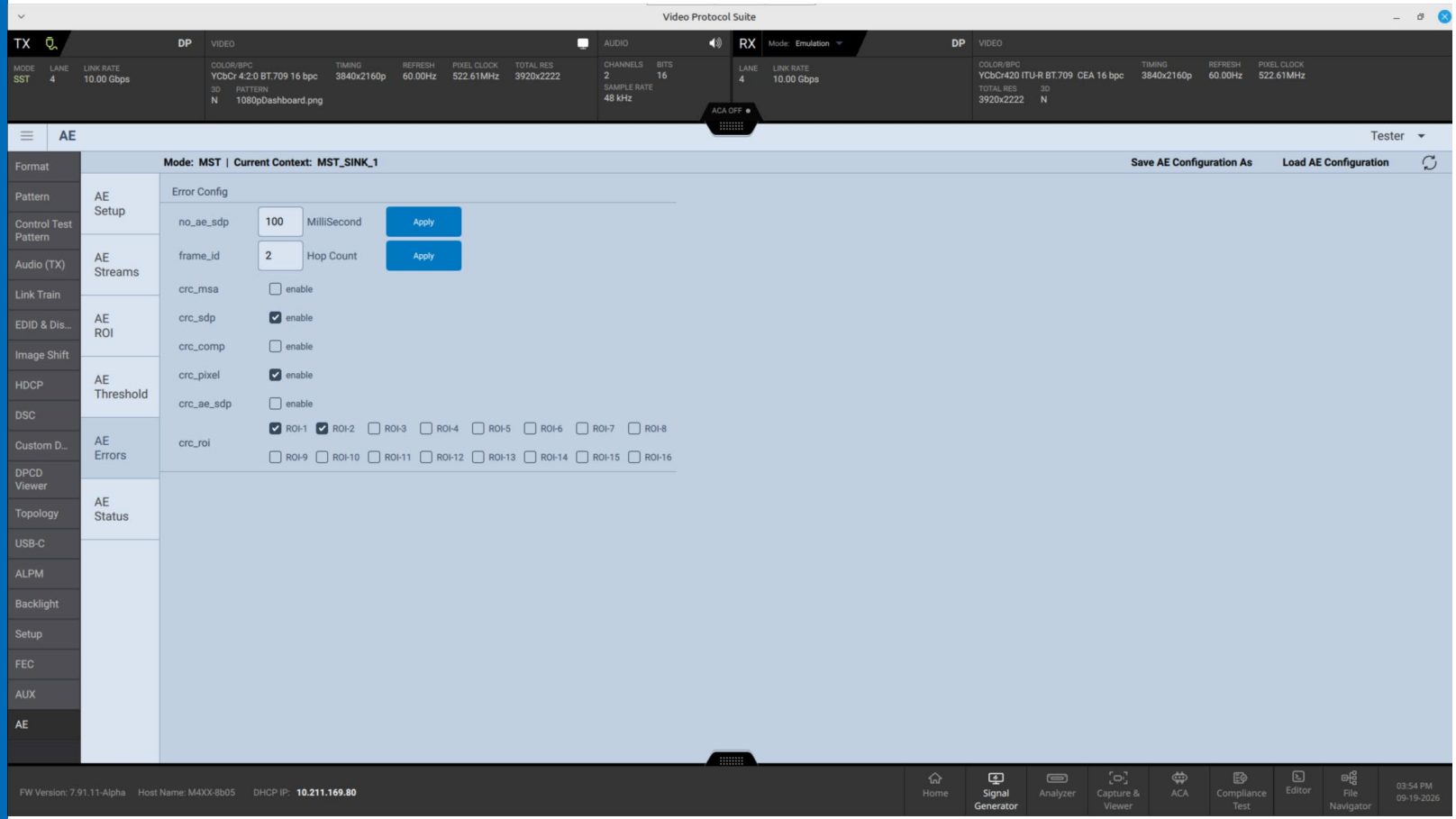
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- 中等教育のコースを選びましょう。
- 興味のあるエリアを設定しましょう。
- エラー閾値を設定しましょう。
- **Sink DPCD DP AEレジスタをご覧ください。**
- 注入エラーです。
- 自動車の普及の現状を確認してください.



VESA DisplayPort AE – Testing Functional Safety

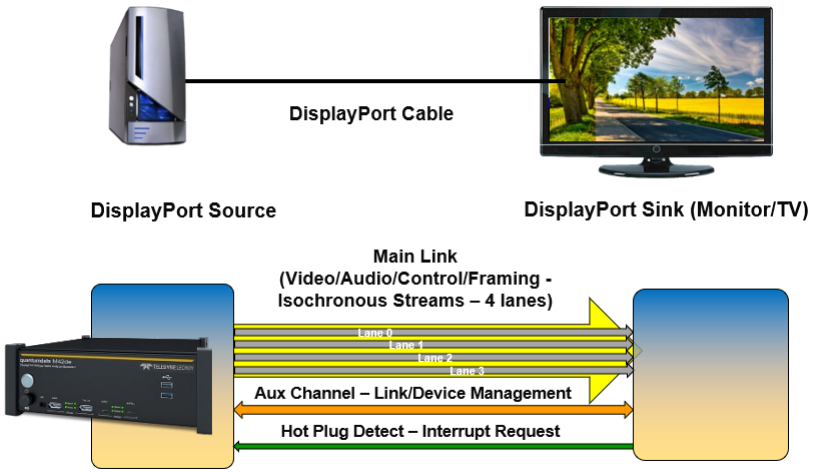


VESA DisplayPort AE—機能安全試験

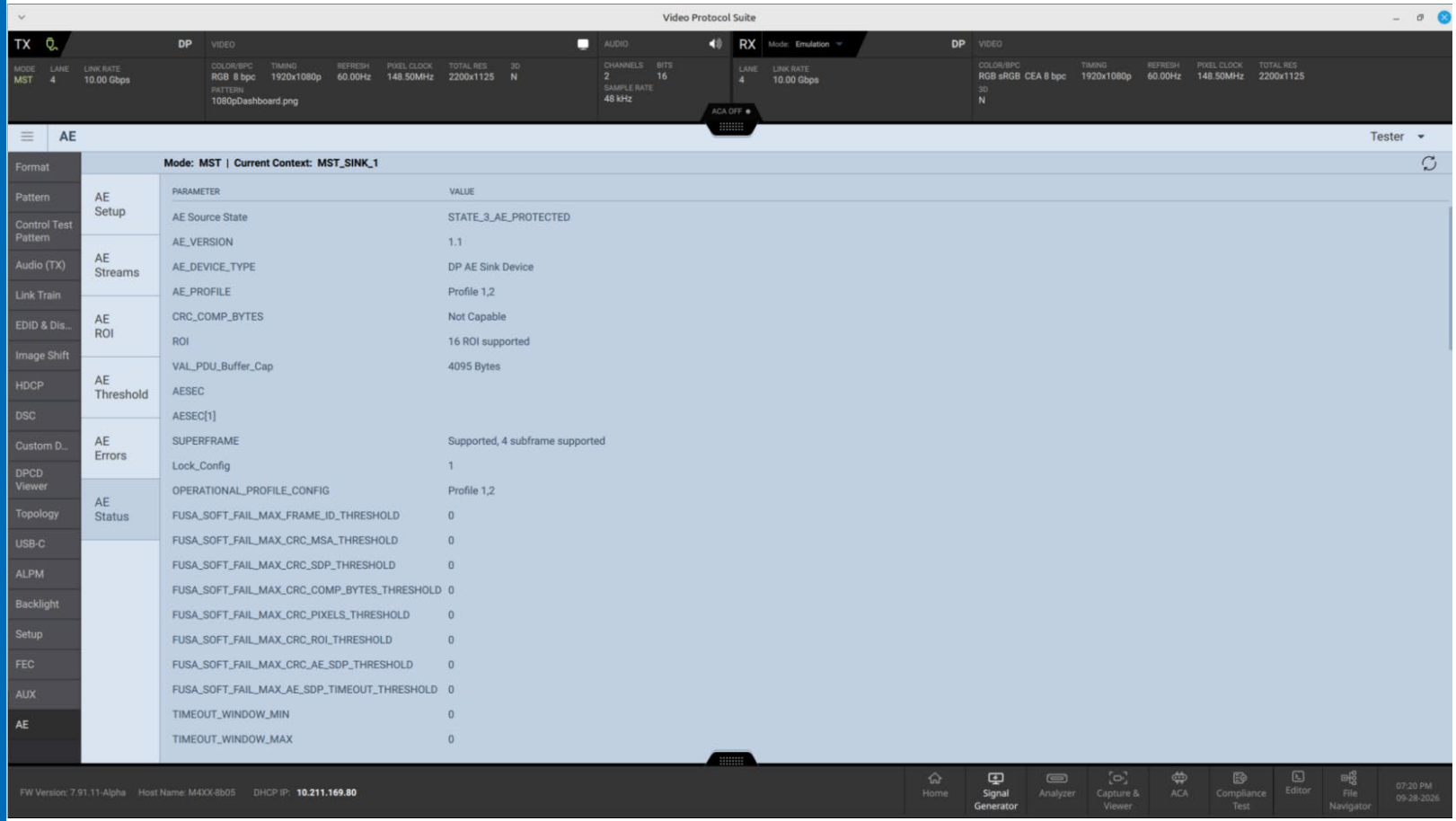
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオジェネレーターをセットアップします.

- トポロジー、ストリーム数、プロファイル、投資収益率の設定。
- 中等教育のコースを選びましょう。
- 興味のあるエリアを設定しましょう。
- エラー閾値を設定しましょう。
- Sink DPCD DP AEレジスタをご覧ください。
- 注入エラーです。
- **自動車の普及の現状を確認してください.**



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort AE—機能安全試験

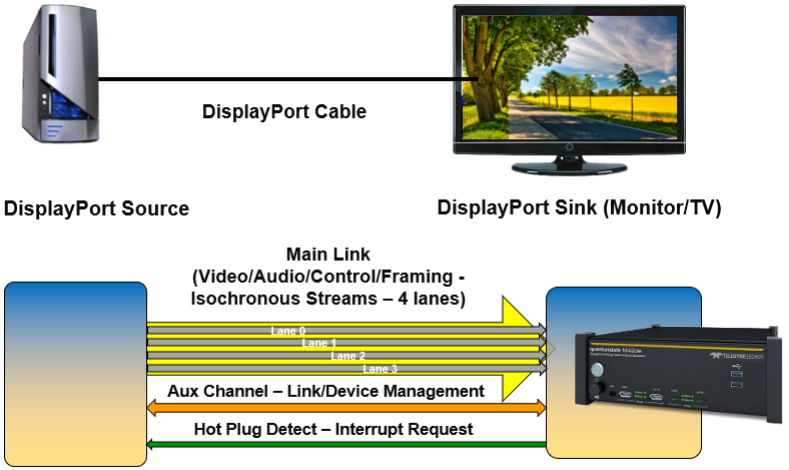
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオ/プロトコルアナライザーの設定.

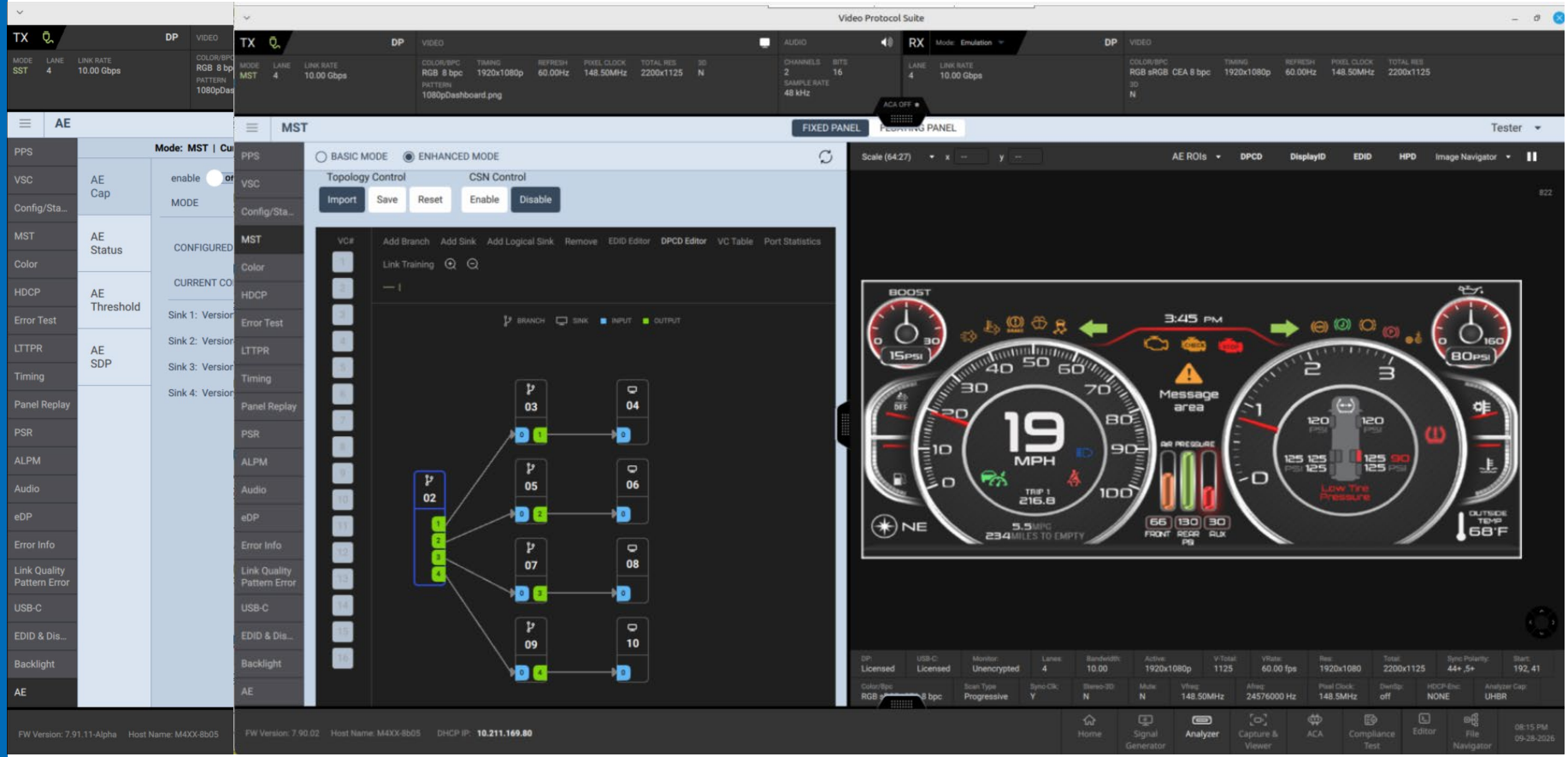
- **トポロジー、プロファイル、ストリーム、バージョンの設定.**

入力DPのAEストリームを解析します.

- 視聴状況。
- 補助チャネルとサイドバンド取引を見る。
- DP AE二次データパケット(SDP)をリアルタイムで閲覧できます。
- 受信したDP AEストリームをキャプチャ・解析する.



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort AE—機能安全試験

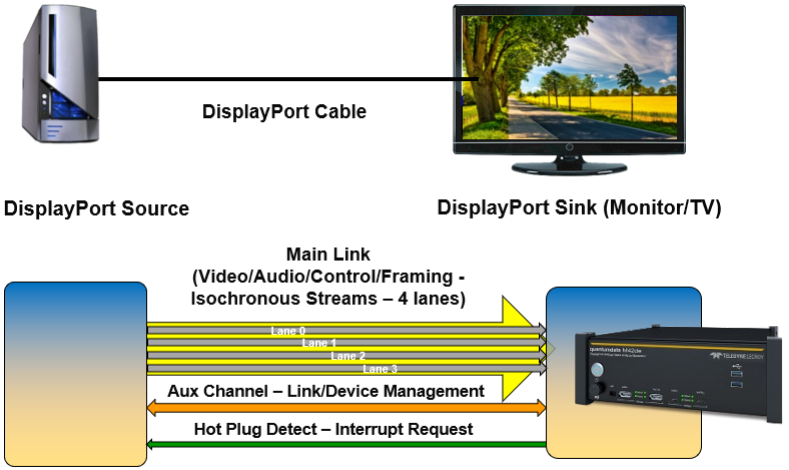
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオ/プロトコルアナライザーの設定.

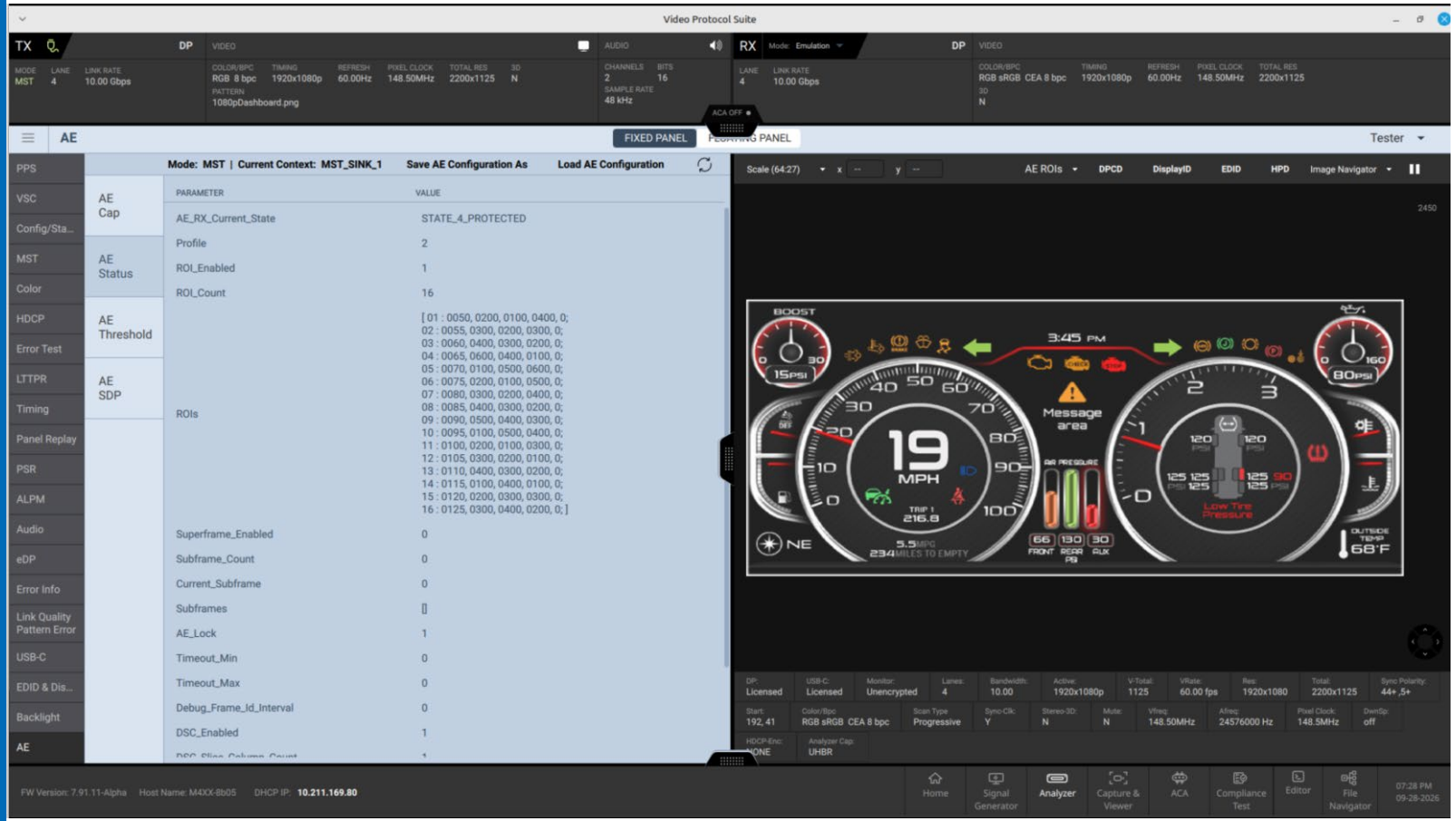
- トポロジー、プロファイル、ストリーム、バージョンの設定.

入力DPのAEストリームを解析します.

- **視聴状況。**
- 補助チャネルとサイドバンド取引を見る。
- DP AE二次データパケット(SDP)をリアルタイムで閲覧できます。
- 受信したDP AEストリームをキャプチャ・解析する.



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort AE—機能安全試験

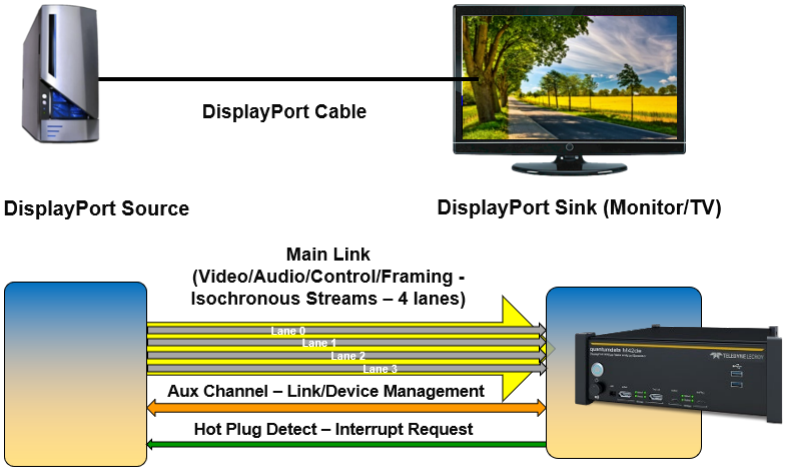
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオ/プロトコルアナライザーの設定.

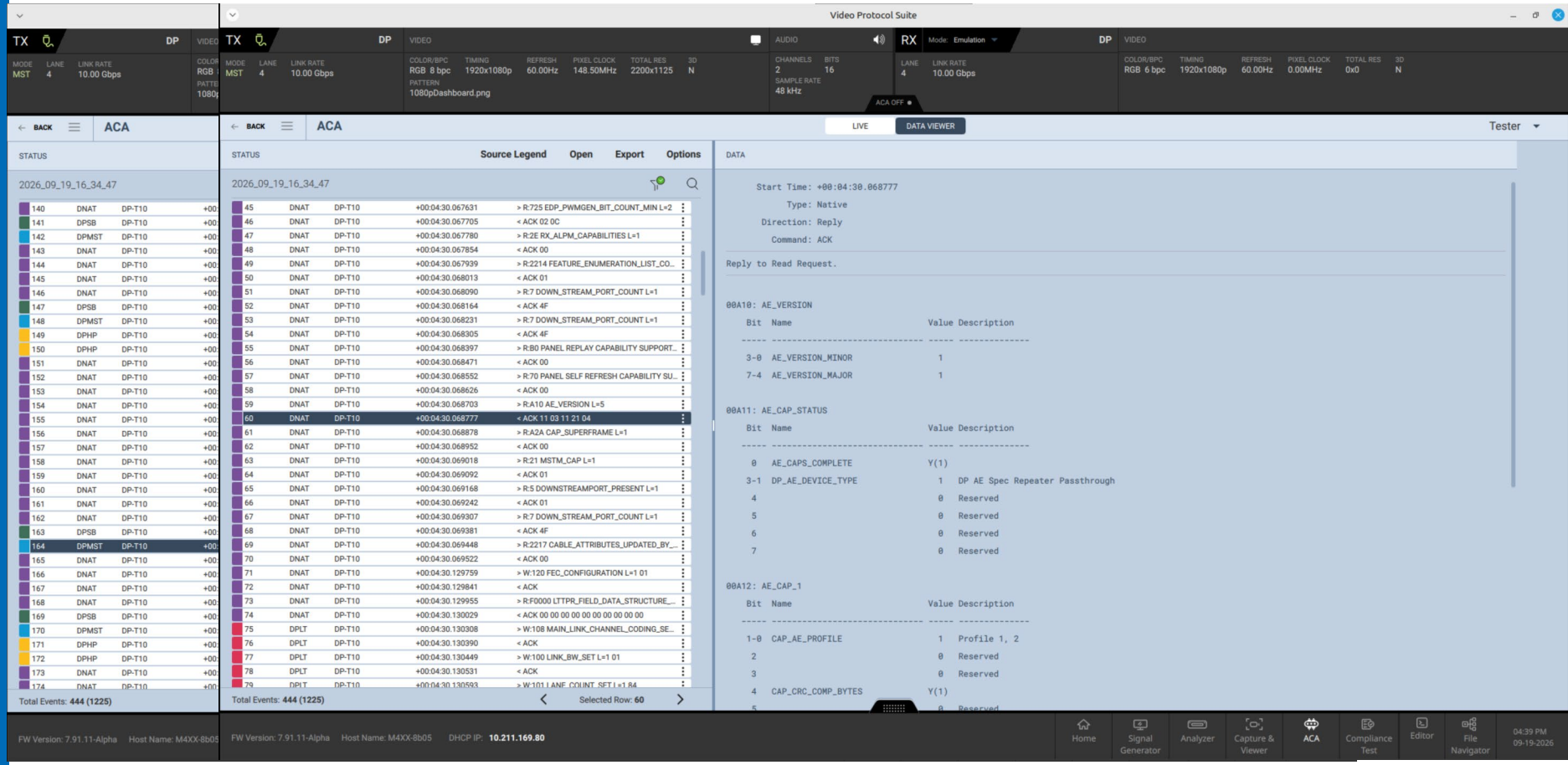
- トポロジー、プロファイル、ストリーム、バージョンの設定.

入力DPのAEストリームを解析します.

- 視聴状況。
- **補助チャネルとサイドバンド取引を見る。**
- DP AE二次データパケット(SDP)をリアルタイムで閲覧できます。
- 受信したDP AEストリームをキャプチャ・解析する.



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort AE—機能安全試験

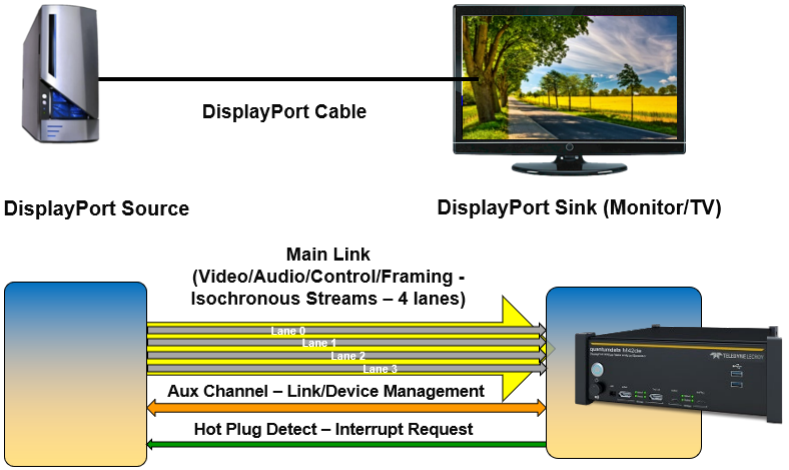
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオ/プロトコルアナライザーの設定.

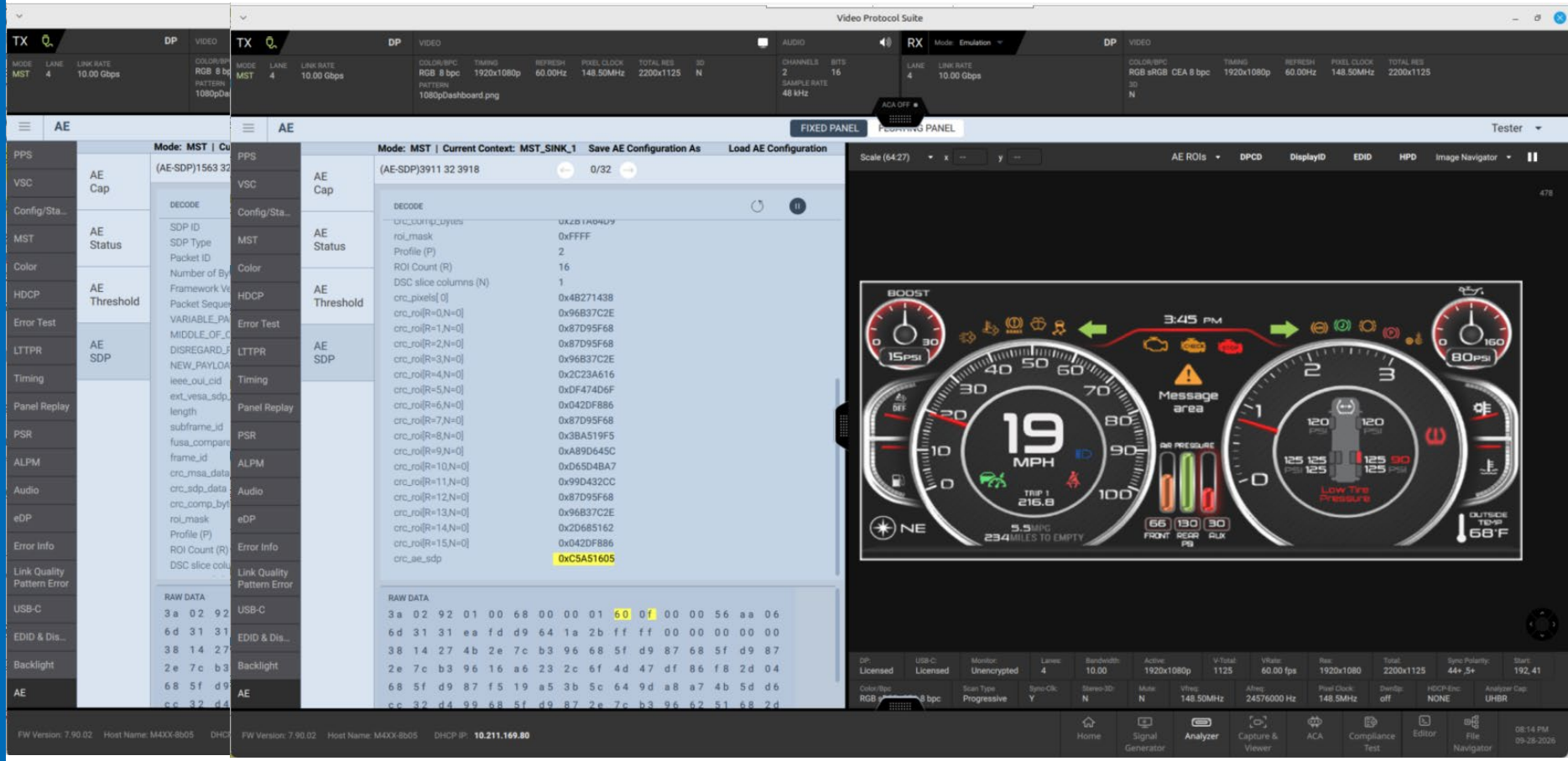
- トポロジー、プロファイル、ストリーム、バージョンの設定.

入力DPのAEストリームを解析します.

- 視聴状況。
- 補助チャネルとサイドバンド取引を見る。
- **DP AE二次データパケット(SDP)をリアルタイムで閲覧できます。**
- 受信したDP AEストリームをキャプチャ・解析する.



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort AE—機能安全試験

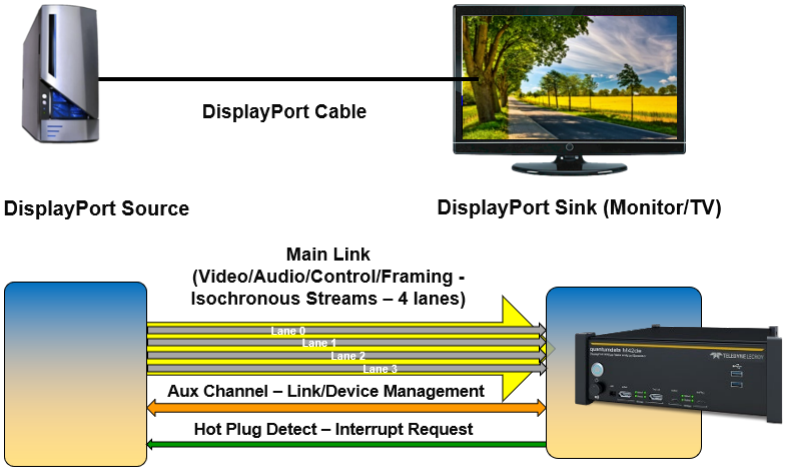
DisplayPortの自動車用拡張機能実装のテスト方法

DP AEビデオ/プロトコルアナライザーの設定.

- トポロジー、プロファイル、ストリーム、バージョンの設定.

入力DPのAEストリームを解析します.

- 視聴状況。
- 補助チャネルとサイドバンド取引を見る。
- DP AE二次データパケット(SDP)をリアルタイムで閲覧できます。
- **DP顧客からのデータフローをキャプチャ・分析し、ROIを確認できます.**



VESA DisplayPort AE – Testing Functional Safety



VESA DisplayPort Automotive Extension(DP AE)は機能安全実装をテストします

Neal Kendall - Thank You!
Teledyne LeCroy
2026年10月27日 – 日本、東京

DisplayPort Electrical Testing Overview

Wataru Ito
Teledyne LeCroy
October 27, 2026

Agenda

- DP2.1 Electrical Compliance Test Requirements
- DP2.1 PHY Updates
- DP2.1 Transmitter Test
- DP2.1 Receiver Test
- DP2.1 PHY Vendor Methods of Implementation (MOIs)

DP2.1a Electrical Compliance Test Requirement

DisplayPort Interface

Main Link

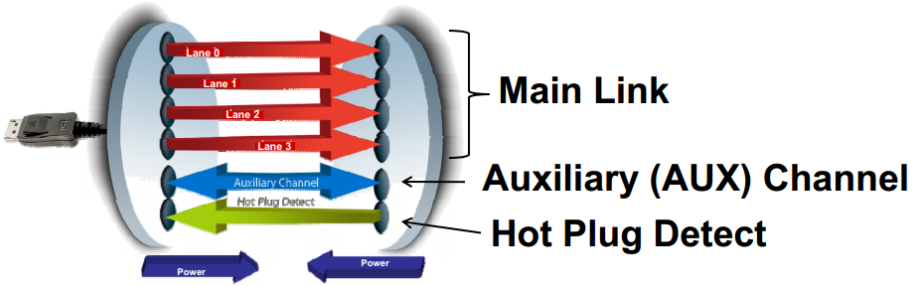
- Display data transfer
- 4 unidirectional high-speed lanes
- Multiple bitrates supported

AUX Channel

- Link management
- Test mode control
- 1 bidirectional low-speed lane

Hot Plug Detect

- Source detects presence of sink
- Sink notifies of status changes via IRQ



Test Points

Test Point	Definition
TP1	Source transmitter pins.
TP2	Test interface of a TPA, next to mated connection to a DP source.
TP2’	RX JTOL signal injection point for DUTs with plug.
TP2_CTLE	RX JTOL calibration and test point for DUTs with plug.
TP3	Test interface of a TPA, next to mated connection to a DP sink.
TP3’	Signal injection point to a DP sink.
TP3_EQ	TP3 using a defined DP cable model with equalization applied.’
TP3_CTLE	TP3 using a defined HBR3 cable model with CTLE applied.
TP3_DFE	TP3 using a defined HBR3 cable model with CTLE and DFE applied.
TP4	Sink receiver pins.

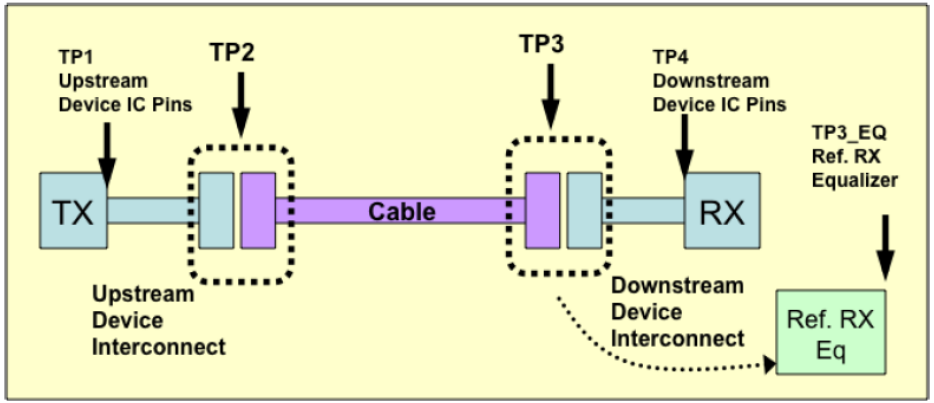


Figure 2-1: Ideal PHY Layer Measurement Points in a DP Interconnect System

Test Point Access Examples

DPTX Testing

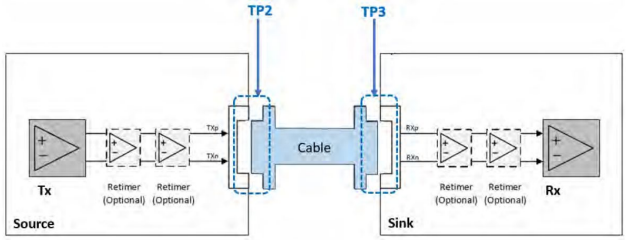
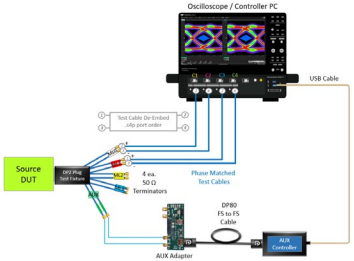
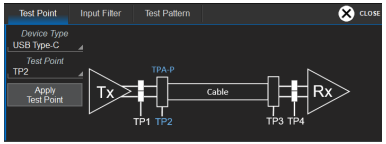
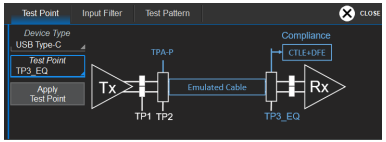


Figure 33. DisplayPort 2.1 Source Test Point definition.







DPRX Testing

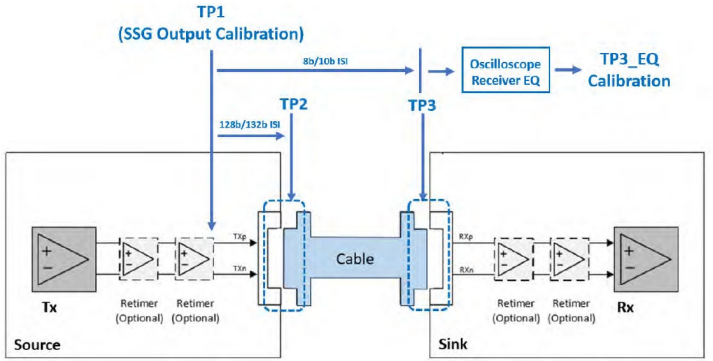


Figure 36. Test Point definition.

How to test the PHY layer?

Source

- Configure the source to output test patterns with certain drive settings → **AUX controller**
- Embed worst-case channels, apply equalization on the oscilloscope
- Run measurements

Sink

- Generate the stress signal with a pattern generator
- Guide the sink through Link Training → **AUX controller**
- Read built-in error counter → **AUX controller**

DP2.1 PHY Updates

Electrical Updates from DP2.1 to DP2.1a to DP2.1b

- There are minimal changes in 8b/10b electrical compliance testing.
- A new DP54 cable has been introduced in DP2.1a for UHBR13.5.
- The UHBR13.5 Source Enhanced FSDP testing will utilize the new DP54 cable model.
- A new DP80LL cable has been introduced in DP2.1b for UHBR20.
- The UHBR20 Source with 9dB loss budget will utilize the DP80LL cable.
- Addition of LRD test section
- Changes in test limits primarily affect Source Testing.

- UHBR10
  - DPTX TP2
    - Total Jitter =380 mUI
    - Data-Dependent Jitter =160 mUI
    - Eye Width = 600 mUI
    - Eye Height = 242 mV
- UHBR13.5
  - DPTX TP2
    - Eye Height = 185 mV
  - DPTX TP3_EQ
    - Total Jitter =450 mUI
    - Data-Dependent Jitter =200 mUI
    - Eye Width = 540 mUI
    - Eye Height = 115 mV
  - DPRX TP3_EQ
    - Total Jitter =485 mUI
    - Data-Dependent Jitter =240 mUI
    - Eye Width = 540 mUI
    - Eye Height = 112 mV
- UHBR20
  - DPTX TP2
    - Total Jitter =435 mUI
    - Data-Dependent Jitter =200 mUI
    - Eye Width = 540 mUI
    - Eye Height = 240 mV
  - DPTX TP3_EQ
    - Total Jitter =455 mUI
    - Data-Dependent Jitter =210 mUI
    - Eye Width = 560 mUI
    - Eye Height = 100 mV
  - DPRX TP3_EQ
    - Data-Dependent Jitter =255 mUI
    - Eye Width = 520 mUI
    - Eye Height = 96 mV



- UHBR10
  - DPTX TP2
    - Total Jitter =440 mUI
    - Data-Dependent Jitter =220 mUI
    - Eye Width = 550 mUI
    - Eye Height = 162 mV
- UHBR13.5
  - DPTX TP2
    - Eye Height = 200 mV
  - DPTX TP3_EQ
    - Total Jitter =515 mUI
    - Data-Dependent Jitter =245 mUI
    - Eye Width = 520 mUI
    - Eye Height = 80 mV
  - DPRX TP3_EQ
    - Total Jitter =530 mUI
    - Data-Dependent Jitter =260 mUI
    - Eye Width = 520 mUI
    - Eye Height = 73 mV
- UHBR20
  - DPTX TP2 EnhDP
    - Total Jitter =495 mUI
    - Data-Dependent Jitter =220 mUI
    - Eye Width = 530 mUI
    - Eye Height = 170 mV
  - DPTX TP3_EQ EnhDP
    - Total Jitter =510 mUI
    - Data-Dependent Jitter =242 mUI
    - Eye Width = 550 mUI
    - Eye Height = 84 mV
  - DPRX TP3_EQ EnhDP
    - Data-Dependent Jitter =265 mUI
    - Eye Width = 510 mUI
    - Eye Height = 80 mV

DPTX TP2 USB-C
- Total Jitter =480 mUI

DPTX TP3EQ USB-C
- Total Jitter = 500 mUI

- UHBR20
  - DPTX TP2 EnhDP
    - Total Jitter =495 mUI
    - Data-Dependent Jitter =220 mUI
    - Eye Width = 530 mUI
    - Eye Height = 170 mV
  - DPTX TP3_EQ EnhDP
    - Total Jitter =510 mUI
    - Data-Dependent Jitter =242 mUI
    - Eye Width = 550 mUI
    - Eye Height = 84 mV
  - DPRX TP3_EQ EnhDP
    - Data-Dependent Jitter =265 mUI
    - Eye Width = 510 mUI
    - Eye Height = 80 mV

DPTX TP2 USB-C
- Total Jitter =480 mUI

DPTX TP3EQ USB-C
- Total Jitter = 500 mUI



- UHBR20
  - DPTX TP2 EnhDP DP80
    - Total Jitter = 480 mUI
    - Data-Dependent Jitter = 200 mUI
    - Eye Width =540 mUI
    - Eye Height = 240 mV
  - DPTX TP2 EnhDP DP80LL
    - Total Jitter = 495 mUI
    - Data-Dependent Jitter = 220 mUI
    - Eye Width =530 mUI
    - Eye Height = 170 mV
  - DPTX TP3_EQ for all connector Type
    - Total Jitter = 500 mUI
    - Data-Dependent Jitter = 210 mUI
    - Eye Width =560 mUI
    - Eye Height = 100 mV
  - DPRX TP3EQ for all connector type
    - Data-Dependent Jitter = 255 mUI
    - Eye Width = 520 mUI
    - Eye Height = 96 mV

DP2.1 PHY CTS Errata

- Clarification on 8b/10b SSC Modulation Deviation Limit
- Test fixture insertion loss update
- FFE Preset 15 measurement update
- LTTPR Frequency Variation test update
- Eye Height and Mask requirement update for UHBR Rates
- BERT Preset Calibration
- UHBR Source Return Loss (Normative)

DP2.1 Transmitter Test

Electrical Source-Tx Tests

Item	Name	Normative/ Informative
3.1	8b/10b DP Source Device Control and Capability	
3.2	Eye Diagram Test	Normative
3.3	HBR/RBR Non-PE Level Verification Test	Normative
3.4	HBR/RBR PE Level Verification and Maximum Differential Peak-to-Peak Voltage Test	Normative
3.5	HBR3/HBR2 PE Level and Equalization Verification Test	Normative
3.6	HBR3/HBR2 $V_{TX_DIFFp\text{-}p_MAX}$ Test	Normative
3.7	Inter-pair Skew Test	Informative
3.8	Intra-pair Skew Test	Informative
3.9	AC Common Mode Noise Test	Informative
3.10	Non-ISI Jitter Measurement Test	Normative
3.11	HBR3 TX Differential RL Test	Informative
3.12	TJ/RJ/DJ Measurement Tests	Normative
3.13	Main-Link Frequency Compliance Test	Normative
3.14	Spread-spectrum Modulation Frequency Test	Normative
3.15	Spread-spectrum Modulation Deviation Test	Normative
3.16	dF/dT Spread-spectrum Deviation High-frequency Variation Test	Informative
3.17	Embedded Re-timer Frequency Variation Test	Normative

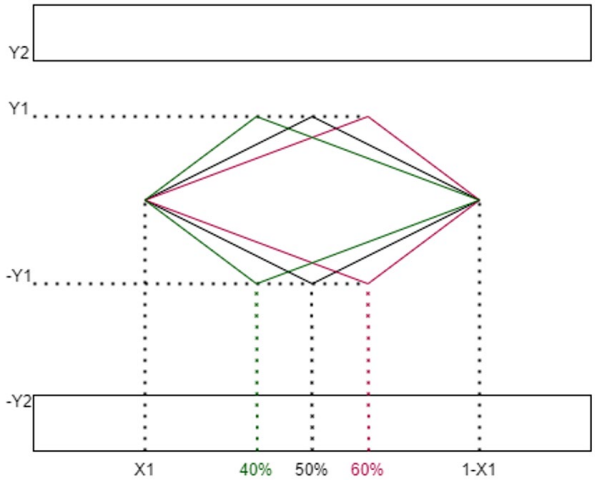
8b/10b

Item	Name	Normative/ Informative
4.1	UHBR Source Test Equipment Requirements	
4.2	Preset and CTLE-DFE Declaration	Normative
4.3	UHBR Source Transmitter Equalization	Normative
4.4	UHBR Bit Rate	Normative
4.4	UHBR Unit Interval	Informative
4.5	UHBR SSC Down Spread Range, Rate, Phase Deviation, and Slew Rate	Normative
4.6	UHBR Embedded Re-timer Frequency Variation	Informative
4.7	UHBR TP2 Eye at 1E-6 BER	Normative
4.8	UHBR TP2 Jitter at 1E-9 BER	Normative
4.9	UHBR AC Common Mode Nosie Test	Informative
4.10	UHBR TP3_EQ Eye at 1E-6	Normative
4.11	UHBR TP3_CTLE Jitter at 1E-9	Informative
4.12	UHBR Transmitter Return Loss	Normative

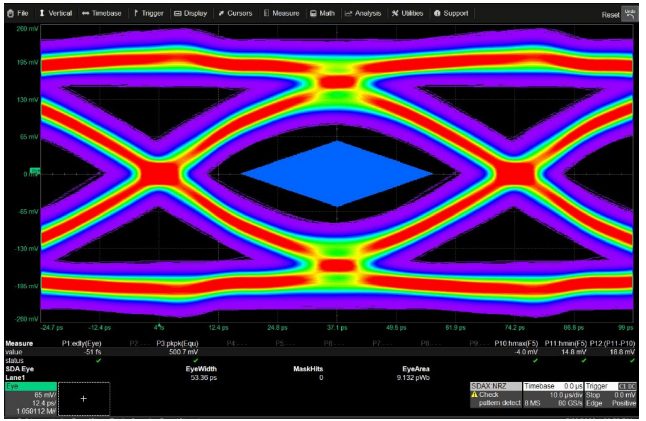
128b/132b

UHBR Eye Mask Update

- If original eye mask fails, then modified mask will be used to re-test.
- Modify mask must comply the Y1 and X1 as per the DP 2.1 PHY CTS



TE Vendor Specific MOI



LTTPR Frequency Variation Test

- LTTPRs are needed as total channel loss increases with the PHY rate
  - Longer channel
  - More complex link training
- LTTPR Re-timer Clock Switch Test Mode
  - DPCD 0x0010B – 0x0010Eh [7] =1
- Initial Test Challenges
  - **Entering** Clock Switch test mode
  - **Triggering** on LTTPR local clock event

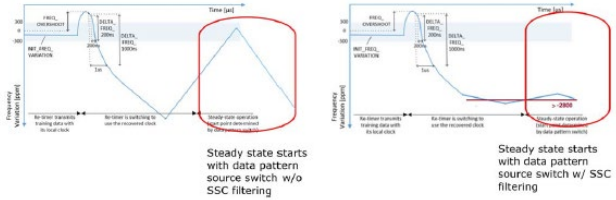
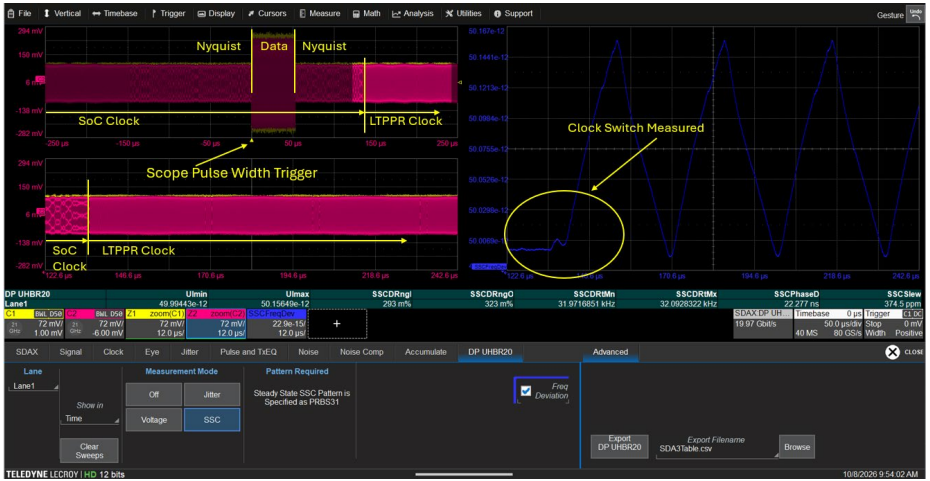


Figure 3-10: LTTPR SSC Filtering Examples

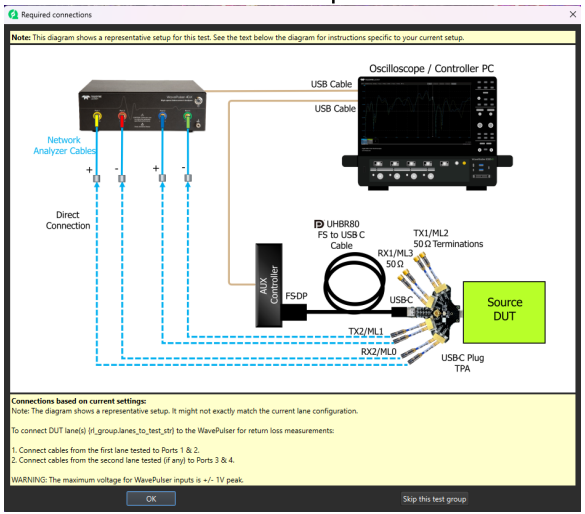
TE Vendor Specific MOI

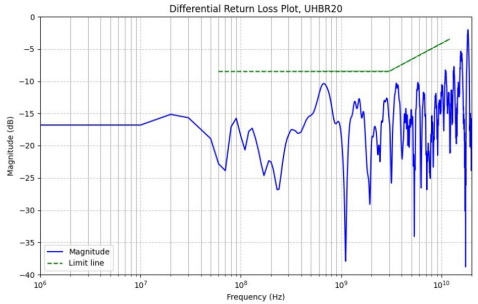


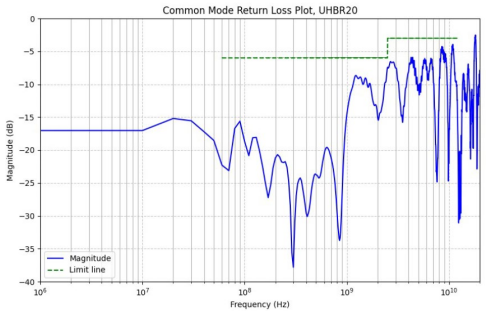
UHBR Tx Return Loss

- Normative requirement
- Vendor MOIs provide techniques for consistent P/F results

TE Vendor Specific MOI







DP Source-TX testing challenges

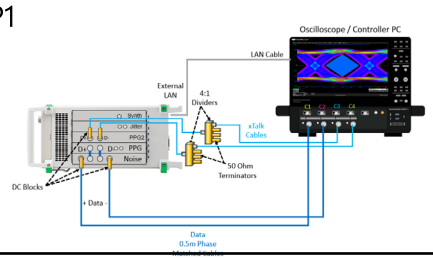
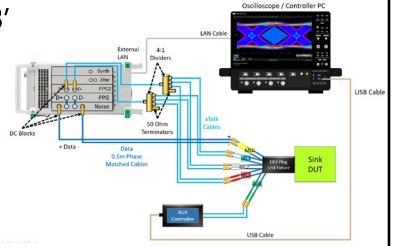
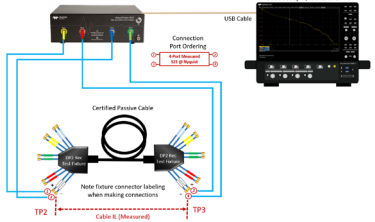
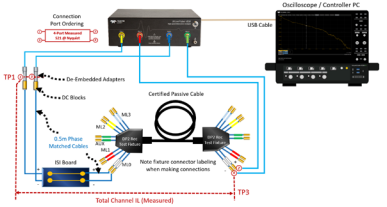
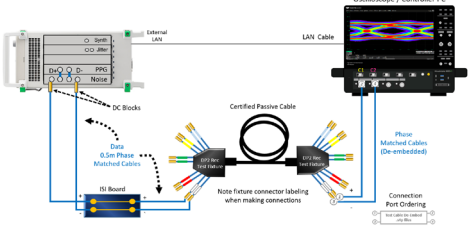
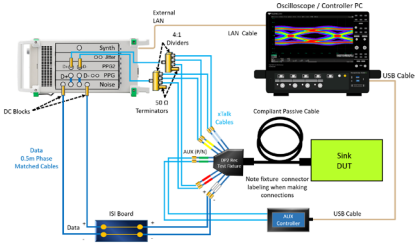
- The test time for DP TX is significant
- DP Source not supporting PHY Test Automation
  - DP Source does not transmit the compliance pattern
- VESA is currently discussing DP TX and DP RX reduced PHY test plan for reducing test time

DP2.1 Receiver Test

UHBR Sink-Rx Testing

- SSG Calibration
  - TP1
  - TP3
- Channel Calibration
  - TP2-TP3
  - TP1-TP3
- BER
  - TP3’ (Short Channel)
  - TP3 (Long Channel)

TE Vendor Specific MOI

Calibration	BER Test
TP1 	TP3’ 
TP2-TP3 Certified Cable 	TP1-TP3 Total Channel 
TP3 	

Electrical Receiver Tests

Item	Name	Normative/ Informative
5.1	8b/10b DP Sink JTOL Test	Normative

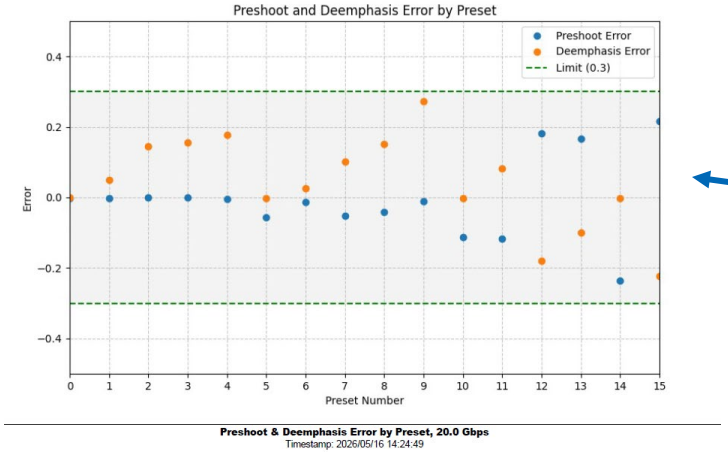
Item	Name	Normative/ Informative
6.1	128b/132b DP UHBR Sink JTOL Test	Normative

Item	Calibration Point	Name
5.1.3.1.1	TP1-TP3	HBR3 Jitter Calibration
5.1.3.1.2	TP1-TP3	HBR2 Jitter Calibration
5.1.3.1.3	TP1-TP3	HBR Jitter Calibration
5.1.3.1.4	TP2/TP3	HBR3 Eye Height and Total Jitter Calibration
5.1.3.1.4	TP3	HBR2 Eye Height and Total Jitter Calibration
5.1.3.1.4	TP3	HBR Eye Height and Total Jitter Calibration
5.1.3.1.5	TP1/TP3	HBR3/HBR2/HBR Crosstalk Calibration
5.1.3.2	TP2/TP3	RBR Jitter Calibration
5.1.3.2	TP3	RBR Eye Height Calibration
5.1.3.2.1	TP3	RBR Crosstalk Calibration

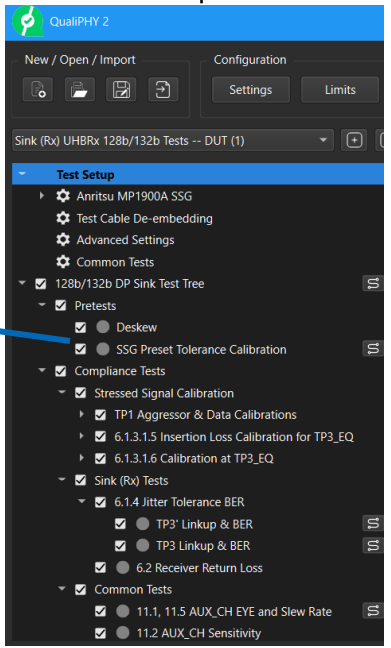
Item	Calibration Point	Name
6.1.3.1.4.1	TP1	AC Common-Mode Interference Calibration
6.1.3.1.4.2	TP1	Random Jitter Calibration
6.1.3.1.4.3	TP1	Periodic Jitter Calibration
6.1.3.1.4.4	TP1	Total Jitter Calibration
6.1.3.1.4.5	TP1	Eye Height Calibration
6.1.3.1.5	TP3	Insertion Loss Calibration
6.1.3.1.6	TP3	Eye Diagram Calibration

SSG Preset Calibration

- To verify the SSG FFE as outlined in the DP 2.1 PHY CTS specification
- The Preset calibration check can assist in identifying setup problems.



TE Vendor Specific MOI



SSG – Stressed Signal Generator

DP Sink-Rx testing challenges

- Error count registers not enabled in DP Sink
  - Error count register always report 0 errors
  - USB-C Lane orientation causing failure in error counter and link training
- Calibrations take a significant amount of time
  - Different setup needs for 8b/10b and 128b/132b

Vendor MOI Process

Vendor Specific Methods of Implantation (MOIs)

- Submitted by TE vendors to Test Implementation Working Group
- Reviewed by WG members
- General Member Review (GMR)
- Approved and posted at https://vesa.org/authorized-test-tools/

VESA

Thank You!

VESA
Display Performance Metrics

Noriyasu Matsuno
Granite River Labs
nmatsuno@graniteriverlabs.com

October 27, 2026

目次

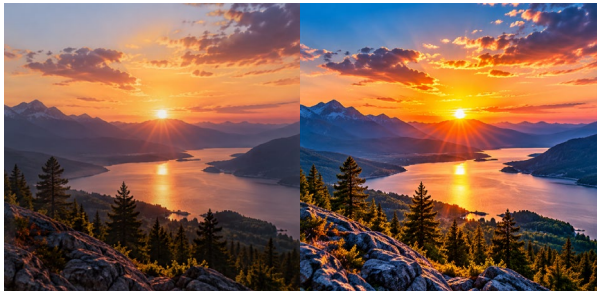
- VESA DPMの概要
- VESA認証 — DisplayHDR
- VESA認証 — AdaptiveSync
- VESA認証 — ClearMR
- まとめ
- GRLについて

VESA DPMの概要

VESA Display Performance Metrics（DPM）

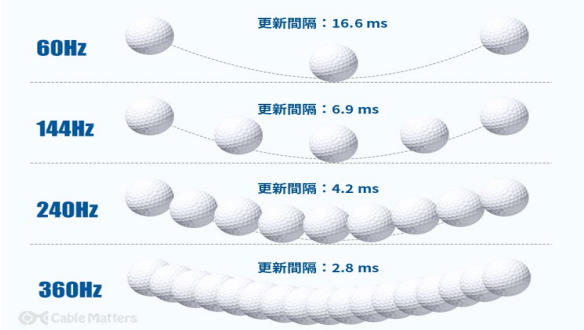
VESA CERTIFIED DisplayHDR™

✔高い輝度とコントラスト
✔正確な色再現



VESA CERTIFIED AdaptiveSync DISPLAY 144

✔可変リフレッシュレート
✔ティアリング・カクつき防止

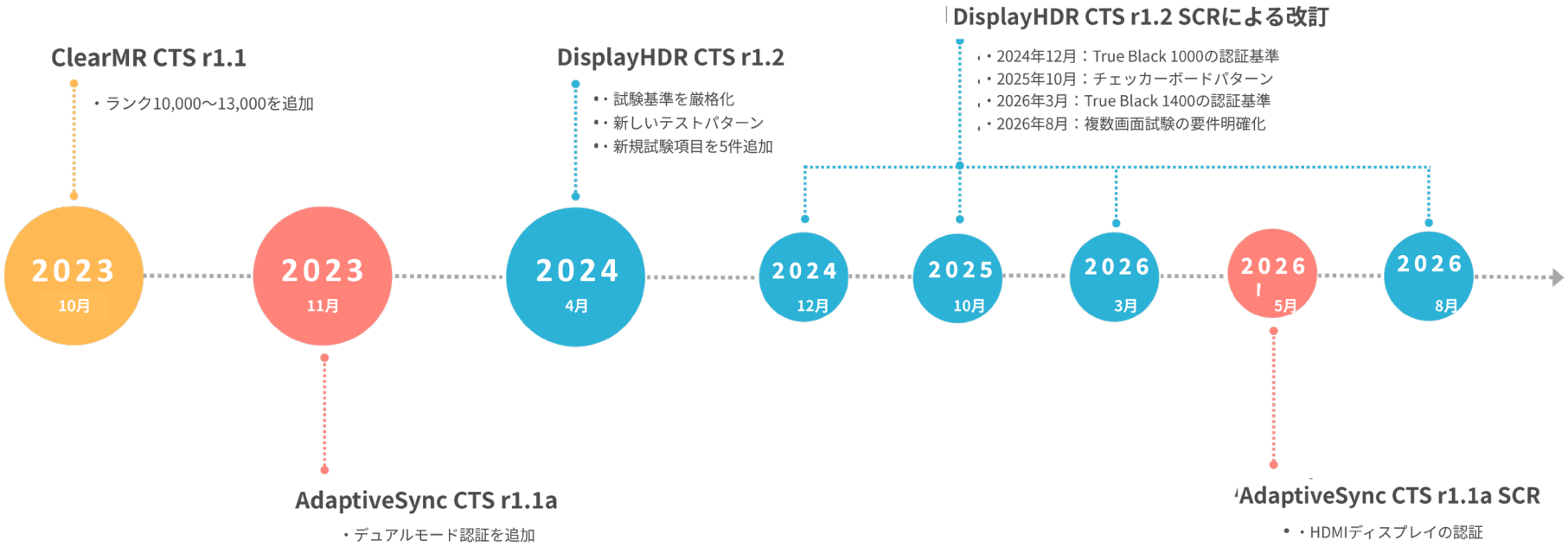


VESA CERTIFIED ClearMR

✔動きの鮮明さ
✔鮮明／不鮮明な画素の比率



VESA DPM CTSの改訂履歴



VESA認証 — DisplayHDR
HDRモニターの高品質基準

DisplayHDR認証

HDRディスプレイ向けのVESA性能認証

VESA CERTIFIED DisplayHDR™

輝度・色・コントラストを高めたHDR画質

- ピーク輝度
- 色再現・EOTF
- コントラスト



VESA CERTIFIED DisplayHDR™ TRUE BLACK

OLEDなどの自発光ディスプレイで、深い黒を実現するHDR性能

- 深い黒の再現性
- 高いコントラスト
- OLED／自発光ディスプレイ

DisplayHDRの性能ランク

400 | 500 | 600 | 1000 | 1400

DisplayHDR True Blackの性能ランク

400 | 500 | 600 | 1000 | 1400

2026年の更新対象

True Black性能ランクの改訂

TB1000の基準改訂とTB1400の再導入

2024年4月
CTS r1.2

標準のDisplayHDRと共通の認証基準

2024年12月
SCR：TB1000

TB1000専用の認証基準を導入

2026年5月
SCR：TB1400

基準を見直してTB1400を再導入

主な基準の変更

全画面輝度（cd/m²）	True Black 1000	True Black 1400
フラッシュ試験	~~1000~~ → **500**	**700**
長時間試験	~~600~~ → **500**	**700**
RGB合計輝度（Lr＋Lg＋Lb）	~~600~~ → **500**	**700**

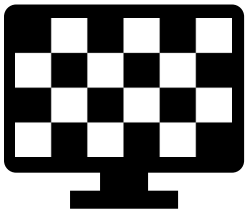
TB1000とTB1400はいずれも、全画面輝度に同じ50%基準を適用

True Blackのチェッカーボード改訂

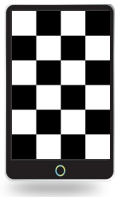
小型ディスプレイ向けの新しいチェッカーボードパターン

小型ディスプレイの課題

従来のチェッカーボードは画面サイズに比例して縮小するため、小型画面では測定領域が小さくなりすぎる



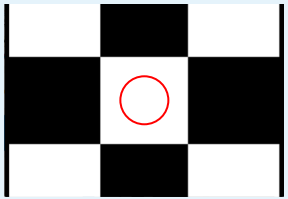
大型ディスプレイ
（6×4パターン）

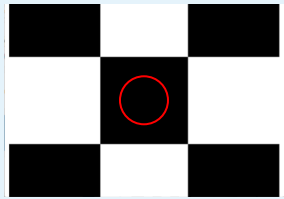


小型ディスプレイ
（パッチが小さすぎる）

新しい3×3チェッカーボード

小型画面用に、パッチサイズを固定した切り出し型3×3パターンを導入





80 mm
固定サイズの測定領域

50%の負荷率
自動維持

中央で測定
測定プローブ位置は同一

ディスプレイサイズ	選択できるパターン
標準	6×4
20インチ未満	4×3（任意）
7～13インチ（16:9）	切り出し型3×3（任意）*(New)*

3×3パターンの対象画面サイズ
対角7～13インチ（16:9）
他の縦横比：画面高さ87～162 mm

複数ディスプレイの認証改訂

複数の画面を内蔵する機器の認証要件を規定

補助ディスプレイ



例：
- ステータス表示
- 操作バー
- 仮想キーボード

主要画面のみ試験
補助画面の試験は不要

同一仕様のディスプレイ（同一ファミリーの定義に該当）



追加画面ごとに
試験項目を一部省略

- 8%／スターフィールド輝度
- チェッカーボードのコントラスト比
- 色域

異なる主要ディスプレイ（同一ファミリーの定義に非該当）



各画面で全試験を実施
すべての試験項目が必要

機器の認証ランク＝
各画面で達成した最低ランク

VESA認証 — AdaptiveSync
常に滑らかな映像表示

VESA

AdaptiveSync認証

滑らかで画面のずれがない表示を実現する可変リフレッシュレート認証

VESA CERTIFIED MediaSync DISPLAY

動画再生に最適化

最大RR ≧ 60 Hz
最小RR ≦ 48 Hz

VESA CERTIFIED AdaptiveSync DISPLAY 144

ゲームに最適化

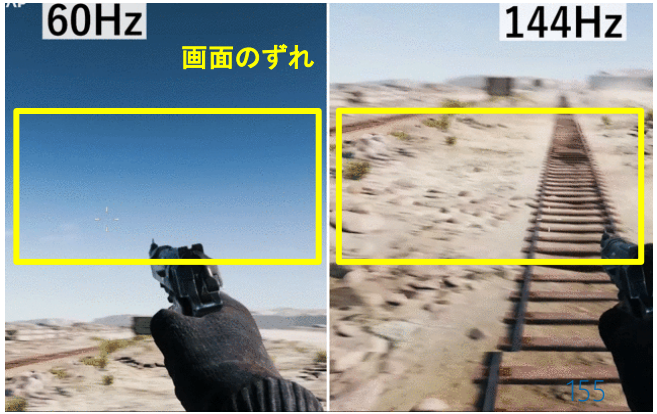
最大RR ≧ 144 Hz
最小RR ≦ 60 Hz

滑らかで画面のずれがない動き

画面のティアリングを抑え、
視覚体験を向上

低遅延・高速応答

応答性が高く滑らかな動きを
実現



デュアルモードロゴ

VESA CERTIFIED AdaptiveSync DISPLAY 240 2160P DISPLAY 480 1080P

2種類の解像度・リフレッシュレートモードでの認証に対応

240
最大解像度時
最大RR

480
別解像度時
最大RR

VESA

AdaptiveSync認証がHDMIに拡大

HDMI接続のディスプレイもAdaptiveSync／MediaSync認証の対象に

DisplayPort

NEW

HDMI
HIGH-DEFINITION MULTIMEDIA INTERFACE



VESA CERTIFIED AdaptiveSync DISPLAY 144

VESA CERTIFIED MediaSync DISPLAY

HDMIに対応

HDMI経由の
AdaptiveSync／VRR

VRR動作は同等

パネルレベルで同等の
動作

CTSの要件は共通

既存の試験要件をそのまま適用

Adaptive-Syncマルチモード認証

デュアルモードからマルチモードへ拡張し、3種類以上のモードで認証可能に

デュアルモード



認証モード：2種類

マルチモード



認証モード：3種類以上

01 デュアルモードの基本要件

標準＋最高更新モードの認証は引き続き必須

02 全モードで認証

全モードでAdaptiveSyncの要件を満たす

03 柔軟なスケーリング

非整数倍の拡大縮小や異なる縦横比にも対応

04 試験への影響

認証する各モードでウォームアップが必要

VESA

VESA認証 — ClearMR
動きの鮮明さを評価

ClearMR認証

ディスプレイの動きの鮮明さを評価

VESA CERTIFIED ClearMR 13000

鮮明な画素：不鮮明な画素＝130：1

- 動きの画質を標準化した評価指標
- より滑らかな動きと残像の低減

ClearMRのランク
3000
4000
5000
6000
7000
8000
9000
10000
11000
12000
13000
15000
18000
21000

低いCMR



モーションブラーや残像が多い

高いCMR



ブラーが少なく、より鮮明な動き

まとめ

DPMの主なポイント

DisplayHDR・AdaptiveSync・ClearMRの主な改訂点

VESA CERTIFIED DisplayHDR™

VESA CERTIFIED DisplayHDR™ TRUE BLACK

VESA CERTIFIED AdaptiveSync DISPLAY 144

VESA CERTIFIED MediaSync DISPLAY

VESA CERTIFIED ClearMR 13000

認証対象の拡大

- TB1000／TB1400の基準改訂
- 小型画面向けチェッカーボード対応
- 複数画面の認証

認証の柔軟性が向上

- HDMI接続も認証対象に
- デュアルからマルチモードへ拡張
- 認証できる表示モード数が増加

動きの鮮明さを数値化

- 鮮明／不鮮明な画素の比率を標準化
- ClearMRのランク：3000～21000
- CMRが高いほど動きが鮮明

VESA

GRLについて

GRLは米国シリコンバレーの試験ラボとして創業



グラナイトリバーラボ（ＧＲＬ）：

- 2010年米国シリコンバレー創業
- 米国大手半導体メーカーとビジネス開始、拡大
- 台湾ラボ設立後、ODMビジネスを展開
- PCIe, HDMI, USB, DP、Apple認証認定ラボ
- 車載イーサネット、MIPI、DDR試験など多数
- 計測機器事業部(USB-PD、ワイヤレス給充電)

GRLジャパン：

- 2014年新横浜にラボ開設
- 現在11名　（拡大予定）
- 車載ECU、デジカメ、イヤホン、医療機器、MFP
- USB/PD, Qi, DPの認定ラボ
- 国内での車載イーサーネット認証サービスラボ

2026年3月よりGRLはスイスSGS社グループの一員となりました



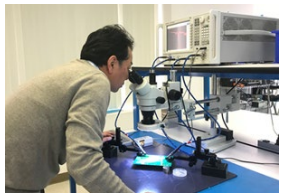
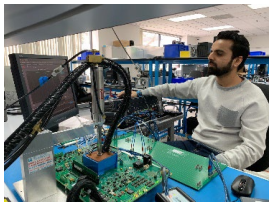
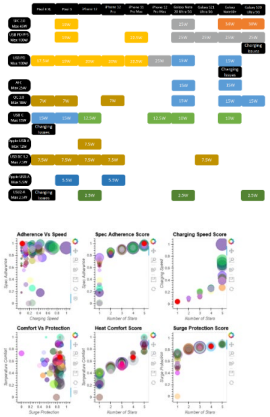


Granite River Labs Inc. 本社

3000 Lakeside Drive,
Santa Clara, CA 95054-2810 USA
電話番号: +1 (408) 627-7608

GRLの総合テストサービス

お客様製品の設計品質に貢献する、企画段階のコンサルから製品の認証・評価までの全工程でのお役立ち

コンプライアンス認証試験	基板品質評価サービス	LSI／システム特性評価	デバッグコンサルトレーニング	相互接続テスト
VESA CERTIFIED DisplayHDR™ VESA CERTIFIED AdaptiveSync DISPLAY 144 VESA CERTIFIED MediaSync DISPLAY VESA CERTIFIED ClearMR 13000	 	 • 温度条件 • 電圧条件 • プロセス条件 • デエンベディング	 • 基盤設計コンサル • 規格・仕様 • 立会い試験 • シミュレーション	

Copyright © 2022 Granite River Labs. All rights reserved

Lunch Break

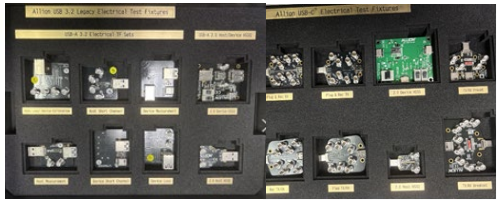
Sessions will resume at 1 pm

Allion Demo Table

- Test Fixtures



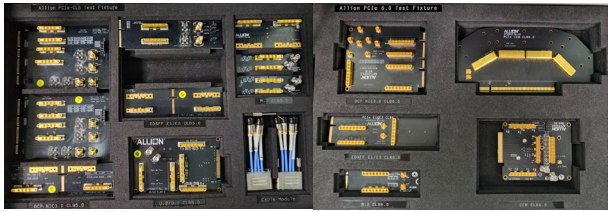
DisplayPort USB-C
TO DP Cable



USB-C PHY Test



HDMI 1.x & 2.x PHY Test



PCI-E Gen 5 & 6 PHY Test

- VESA Certified DP80LL LRD Cables



Luxshare-ICT 3M DP-DP



Luxshare-ICT 3M USBC-USBC



Luxshare-ICT 3M USBC-DP



DisplayPort Alt Mode Compliance Testing and Analysis solutions

SYMBIOSYS ALLIANCE

Ellisys USB/DPAM Test and Analysis Solutions

USB Explorer™ 350



Multi-function USB Type-C®, USB 3.2, and Power Delivery Protocol Test Platform

VESA-Approved Tester for DisplayPort ALT Mode

Type-C Tracker™



Protocol and Electrical Analysis Tool for USB Type-C® Standards

Includes DP AUX and DP ALT Support

ellisys
Better Analysis

eDP and DisplayPort Protocol Analysis and Validation Real Time ***ANY*** Source to ***ANY*** Sink

FuturePlus Systems

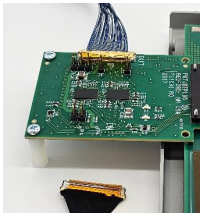
Advancing Technology Development





NEW

eDP 2.0 Protocol Analysis With 128b/132b Decode!

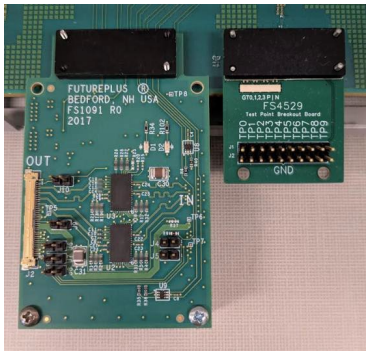


NEW

eDP Status and Timing Breakout Board

Features:

- ***Panel Self Refresh (PSR) and Selective Update Status***
- Connect Test Points to oscilloscope, mixed-signal oscilloscope, or timing analyzer
- ***Test Points can be customized!***



All Supported!

- ***eDP 2.0 with 128b/132b Decode***
- Panel Replay
- Aux-Less ALPM
- **UHBR13.5**



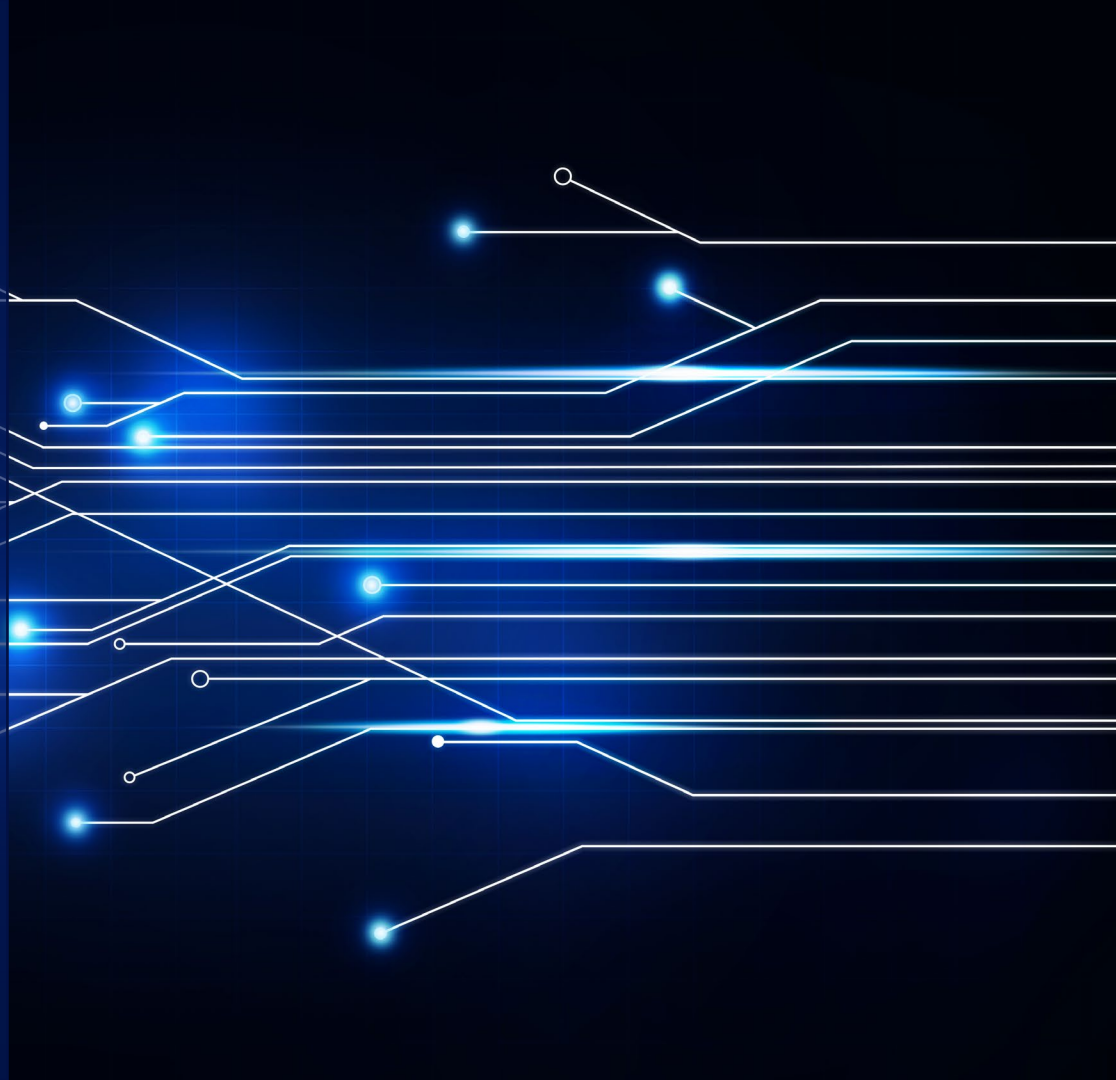
Something Special? We Like Challenges!

GRL By SGS

GRL VESA Certification Testing Services

GRL Taiwan | VESA Workshop 2026

graniteriverlabs.com



GRL VESA Certification Testing Services

Supporting Your VESA Certification Journey

DisplayPort

DP Source & Sink Certification

- DP 1.4 & DP 2.1 (UHBR 10 / 13.5 / 20)



VESA CERTIFIED AdaptiveSync DISPLAY 144

Variable Refresh Rate Certification

- Variable refresh rate performance validation

VESA CERTIFIED DisplayHDR™

HDR Picture Quality Certification

- Multiple performance tiers (400 ~ 1400 / True Black)

VESA CERTIFIED ClearMR 13000

Motion Clarity Certification

- Multiple performance tiers (ClearMR 3000 ~ 21000)

GRL Service Scope

Pre-Compliance
Early issue identification

Compliance Testing
VESA compliance testing

Debug Support
Analysis & troubleshooting

Certification Support
Certification follow-up

Why GRL

- VESA Authorized Test Center with **10+ years** of VESA compliance testing experience
- **3000+ products tested** across DisplayPort, DisplayHDR, AdaptiveSync, and ClearMR
- Global labs, local support in your time zone

Copyright © 2021 Granite River Labs. All rights reserved

Thank You!



https://graniteriverlabs.com/



GRL PLATFORM SOLUTIONS

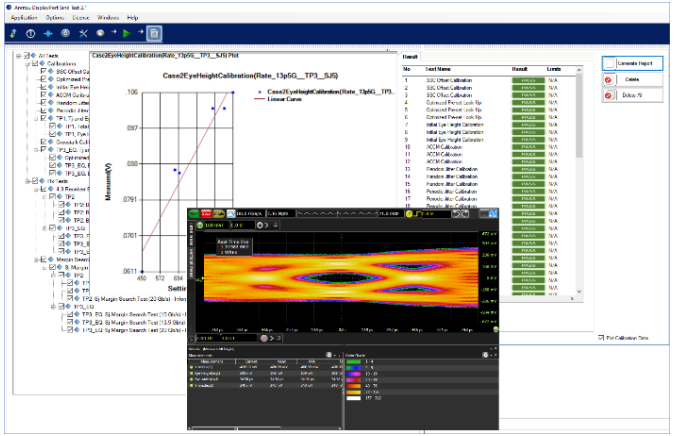
FOUNDATIONAL - INTELLIGENT - PRECISE

GRLPS DisplayPort

DP2.1 Tx PHY Test Solution
DP2.1 Rx PHY Test Solution
DPAM Test Solution

GRL Platform Solutions (www.grlps.com)

DisplayPort 2.1 Tx/Rx Test Automation Solution



Anritsu Tektronix KEYSIGHT TECHNOLOGIES



USB Type-C® Power Delivery Tester & Analyzer - EPR



- USB Power Delivery Specification 3.2
- Type-C ® Functional Specification
- IEC Functional Safety (IEC 62368-1)
- **DisplayPort™ Alternate Mode Tests**
- Thunderbolt 3/4/5 Alternate Mode Tests
- Thunderbolt 3/4/5 Power Tests
- Qualcomm® Quick Charge 2™
- Qualcomm® Quick Charge 3™ and 3+™
- Qualcomm® Quick Charge 4™ and 4+™
- Qualcomm® Quick Charge 5™
- BC 1.2 for QC Sink products
- IEC 63680-1-2

The only instrument you need for validating compliance, inter-operability, and reliability of your designs

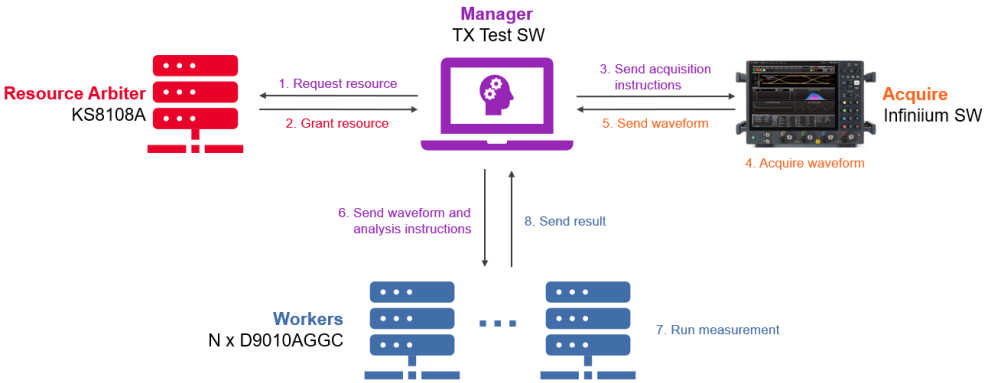
Copyright © 2026 - GRL Platform Solutions (www.grlps.com) - Confidential

KEYSIGHT

Maximizing Time Efficiency & Prepared for the Future

- Contact Information
  - Abhijeet Shinde
  - Abhijeet.Shinde@keysight.com

Keysight Technologies





XR8 + Disaggregation = Time Efficiency

What are your costs?

- A comprehensive test plan leads to prolonged testing durations.
- A majority, about 75%, of the testing period is consumed by data processing.

What would be an optimal solution?

- Considerable reduction in test time through Measurement Disaggregation.
- Maximizes the use of your existing investment.
- $$$ Cost-effective savings.
- Enhances your current equipment and expertise.

M8050A: Prepared for the future

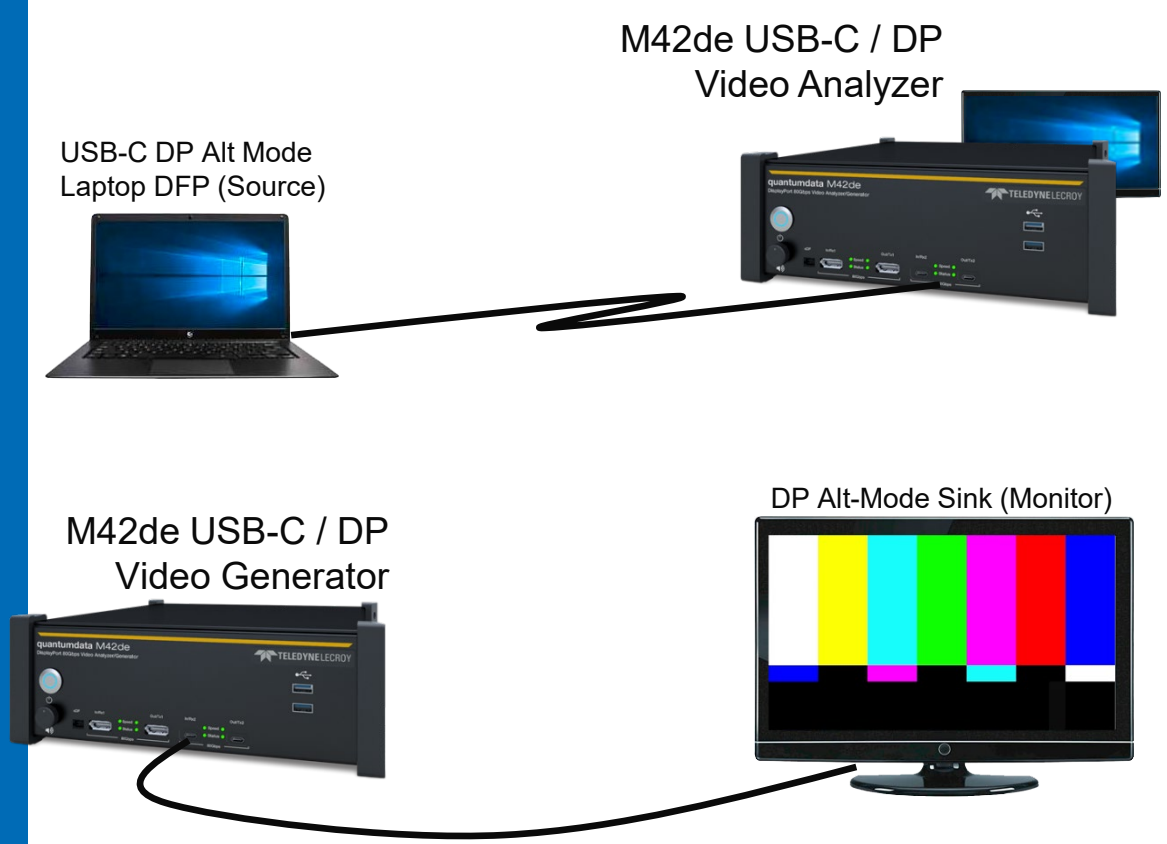
What are your costs?

- Investment in hardware to meet next-generation requirements
- Reduced passing margin

What would be the optimal solution?

- Reliable support for up to 120GBd and various PAM types
- Provides the lowest intrinsic noise, enhancing passing margin
- Facilitates hassle-free stress calibration, saving both time and money

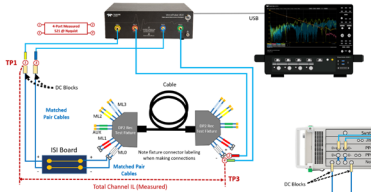
M42de Supports DP2.1 SRC/SNK Testing

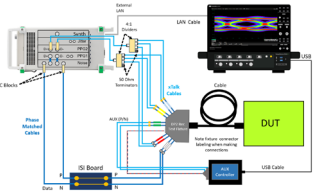


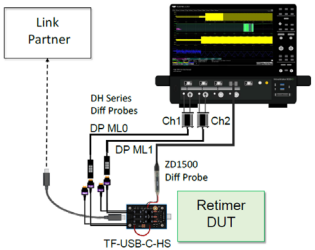
- Protocol Analysis - Source Testing
  - Sink emulation EDID, DPCD.
  - Protocol Analysis – Main Link & Aux
  - Compliance Testing - Link Layer, (including FEC), DSC, HDCP.
- Video Generation - Sink Testing
  - Source emulation and Link Training control.
  - Video Pattern Testing –generation of Display Stream Compression (DSC) Panel Replay and FEC.
  - Compliance Testing (Link Layer, FEC, HDCP).
- DP Alt Mode Testing
  - Run all VESA source and sink testing through the USB-C DP Alt Mode ports.

DisplayPort 2.1 PHY Compliance and PHY-Logic Debug









- DisplayPort 2.1 Source (Tx) Compliance
  - WaveMaster/SDA 8000HD with QualiPHY® 2 software
  - SDAX-DP expert analysis – Find Best CTLE/DFE
  - Reduced test times with QPHY2-PC
  - Automated Return Loss with WavePulser 40iX
- DisplayPort 2.1 Sink (Rx) Compliance
  - WaveMaster/SDA 8000HD with QualiPHY 2 software
  - SSG Cal and BER testing using Anritsu MP1900 SQA
  - Automated Channel Cal with WavePulser 40iX
- PHY-Logic (Interop) Debug
  - AUX Triggered + Main Link capture
  - TF-USB-C-HS – probing access
  - DP-AUX, USB-PD TDMP software
  - Clock switch testing on live link

Teledyne Confidential – Sensitive Business Data

Voyager M4120

Complete USB4® v2 Solution

Analyzer, Exerciser, & Compliance Tester

Asymmetric Link Capture

Capable of capturing and testing 120Gb/s Asymmetric Link Configurations

Traffic Decoding & Unified Workflow

HopIDs Automatically Detected; **Tunneled DisplayPort Decoded**

Single Click Export Native **DisplayPort Traffic**, view in VPS



All Speeds, One Unit

- USB4 v2 120Gb/s (PAM3, Asymmetric)
- USB4 v1 40Gb/s (NRZi)
- Thunderbolt™ 5, 4, & 3
- USB 3.2, USB 2.0
- USB-PD, & Type-C

TELEDYNE | LECROY

Sumitomo DP80LL Cable Demo

CONFIDENTIAL





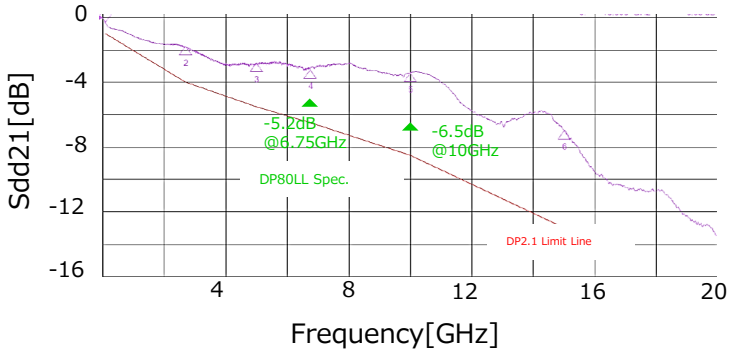
■ Test Setup

- PC : Vector-16-HX-AIA2XWIG-7650JP(MSI)
- Monitor : AORUS FO32U2P(GIGABYTE)
- Cable : Sumitomo DP80LL Active Cable(L=3m)
- Adapter : USB-C to DP2.1 adapter(Cable Matters)

■ Features

- Maximum 80G bps Data Transmission (UHBR20 × 4 lanes)
- Allows you to connect single 4K@240Hz / 16k@60Hz
- Backward compatible with legacy DisplayPort cables
- Longer distance up to 3m, flexible, robust, and thin cable

■ Signal Integrity



USB Explorer™ 350

- Protocol Analyzer
- Traffic Generator
- Automated Compliance Tester

- USB Type-C™
- Display Port ALT Mode
- USB Power Delivery (USB PD) 2.0 and 3.0*
- USB Type-C™ Cables and Connectors
- SuperSpeed USB 10Gbps (USB 3.1 Gen 2)
- SuperSpeed USB (USB 3.1 Gen 1)
- USB 2.0 High Speed

SYMBIOSYS Alliance Member

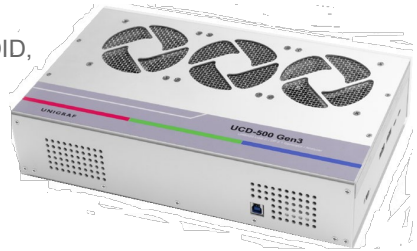


ellisys
Better Analysis

UCD-500 Gen3

16K DP 2.1b Generator & Analyzer

- DP 2.1b Sinks and Sources up to 8K@60Hz
- Supports DP and USB-C connectors
- DP 2.1b and DP 1.4a Link Layer CTS including DSC, LTTPR, DisplayID/EDID, MST, Adaptive-Sync and more.



UTC-274

USB Type-C Tester for Test Automation

- Test DP Alt Mode, Power Delivery and USB speed
- 2 upstream USB-C test ports
- EPR function test up to 240W Source and Sink



UNIGRAF

DP LRD Active Cable Testing

Lexus Lee, Technical Program
Allion Labs, Inc.
October 27, 2026

Overview

- Why VESA Defines LRD Active Cable Spec
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

Overview

- Why VESA Defines LRD Active Cable Spec
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

Why VESA Defines LRD Active Cable Spec

- Enable UHBR20 transmission over a 2-meter cable
  - Only works for 1-meter passive cable, which cannot meet all use-case requirements
- LRD Active Cable Type for VESA Certification

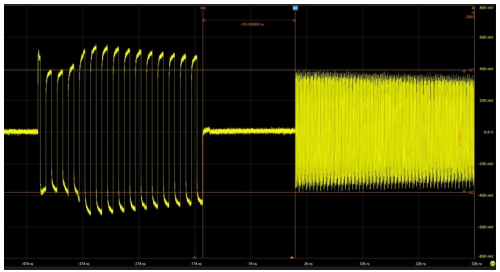


Overview

- Why VESA Defines LRD Active Cable Spec
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

What Is Inside VESA LRD Cable CTS?

- Time Domain test
  - Eye Diagram
  - Instantaneous Common Mode Voltage
  - CONFIG2 Voltage and No DP_PWR thru Cable
  - AUX-Less ALPM
  - LOS Test
  - Inrush Current Test
  - AUX Voltage Clamping
  - Preset Distortion Thru the cable



What Is Inside VESA LRD Cable CTS? Cont’

- Functional test
  - Successful Link Training
    - All data rate(from RBR to UHBR20)
    - All lane count (1-Lane, 2-Lane,4-Lane)
    - Bidirectional (Swap Sink/Source end)
    - Power management (Active Power ,Wake/Sleep, Aux-less ALPM)
    - USB-C Orientation (Flip/Normal)
  - SOP/SOP’ Response Check(SVDM2.0/SVDM2.1)



What Is Inside VESA LRD Cable CTS? Cont’

- Frequency Domain test
  - Insertion Loss Fit
  - Receiver Margin Evaluation
  - IRL Integrated Return Loss

Table 4-14: DP80LL Nyquist Frequencies and their ILFitAtNq Mandates (Normative)

Nyquist Frequency (GHz)	DP-to-DP and USB-C-to-DP ILFitAtNq Mandate (dB)[a]
15.00	> -10.40
12.50	> -9.50
10.00	> -6.50
6.75	> -5.20
5.00	> -4.55
2.70	> -3.25
0.10	> -1.00

a. *Cable values are measured mated pair-to-mated pair.*

8.3.3 Receiver Margin Evaluation

Channel Operating Margin (COM) ≥ 3 dB

Table 8-6: LRD Cable IRL Limits

Mode	IRL Limit
DP80	*if (-4 dB ≤ ILfit@Nq): IRL ≤ -13 dB* *if (ILfit@Nq < -4 dB): IRL ≤ ILfit@Nq – 9*
DP54	$IRL \leq 0.046 \cdot ILfitatNq^2 + 1.812 \cdot ILfitatNq - 8.784$

Update About LRD Active Cable in DP 2.1b Spec

- DP80LL (Low Loss)
  - The only difference between the DP80LL and DP80 cable spec is the IL FitAtNq requirement.

Table 4-14: DP80LL Nyquist Frequencies and their ILFitAtNq Mandates (Normative)

Nyquist Frequency (GHz)	DP-to-DP and USB-C-to-DP ILFitAtNq Mandate (dB)[a]
15.00	> -10.40
12.50	> -9.50
10.00	> -6.50
6.75	> -5.20
5.00	> -4.55
2.70	> -3.25
0.10	> -1.00

a. Cable values are measured mated pair-to-mated pair.

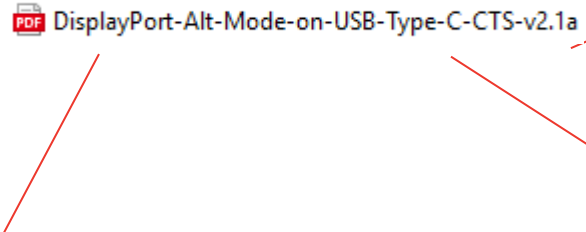
Table 4-12: DP80 Nyquist Frequencies and their ILFitAtNq Mandates (Normative)

Nyquist Frequency (GHz)	ILFitAtNq Mandate (dB)	
	DP-to-DP[a]	USB-C-to-DP[b]
15.00	> -12.0	> -12.25
10.00	> -7.50	> -8.10
6.75	> -6.00	> -6.20
5.00	> -5.25	> -5.30
2.70	> -3.75	> -3.80
0.10	> -0.75	> -1.00

a. Cable values are measured mated pair-to-mated pair.
b. Cable values are measured plug-to-mated pair.

What Is Inside VESA LRD Cable CTS? Cont'

- Additional Tests Added for USB-C to DP LRD Active Cable
  - From DP Alt Mode 2.1 CTSa



10.6

DisplayPort Alternate USB-C to DP Adapter Tests 141

10.6.1 DP Connector Attached to DP Sink 141

10.6.2 DP Connector Attached to DP Source 142

9.4.5 Pass/Fail Criteria 55

9.5

HPD and IRQ_HPD Tests (Normative) 56

9.5.1 HPD-to-PD Conversion Test 56

9.5.1.1 Test Objective 56

9.5.1.2 Test Setup 56

9.5.1.3 Initial Conditions 56

9.5.1.4 Test Method 57

9.5.2 PD-to-HPD Conversion Test 58

9.5.2.1 Test Objective 58

9.5.2.2 Test Setup 58

9.5.2.3 Initial Conditions 58

9.5.2.4 Test Method 59

10.4

DisplayPort Alternate Mode on USB Type-C Tests for Cables 131

10.4.1 SOP' Cable Discovery Process & Mode Entry 131

10.4.2 SOP' (SOP") DisplayPort Configurations and Exit Mode 133

10.4.3 DPAM Version 2.1 Cable Connected to DPAM Version 2.0 or 2.1 DFP_U 134

10.7

DisplayPort Alternate Mode VIF Consistency Check 149

10.7.1 SOP' Discover Identity and SOP' DisplayPort Discover Modes 149

10.7.2 SOP Discover Identity and SOP DisplayPort Discover Mode 150

CTS Testing Challenges

- Knowledge to get DP LRD cable to work up
  - AUX and DP_PWR Electrical setting
    - Sink devices and Source devices

1. Aux P: Pull down to GND
2. Aux N: Pull high to 2.89~3.6V.
3. DP_PWR:2.89~3.6V
4. Aux transaction if needed



1. Aux P: Pull high to 2.25~3.6V
2. Aux N: Pull down to GND.
3. DP_PWR:2.89~3.6V
4. HPD: Pull high to 2.25~3.6V
5. Aux transaction if needed

CTS Testing Challenges Cont’

- Knowledge to get USB-C to DP LRD cable to work up
  - Vconn, AUX, and DP_PWR Electrical setting
    - Sink devices and Source devices

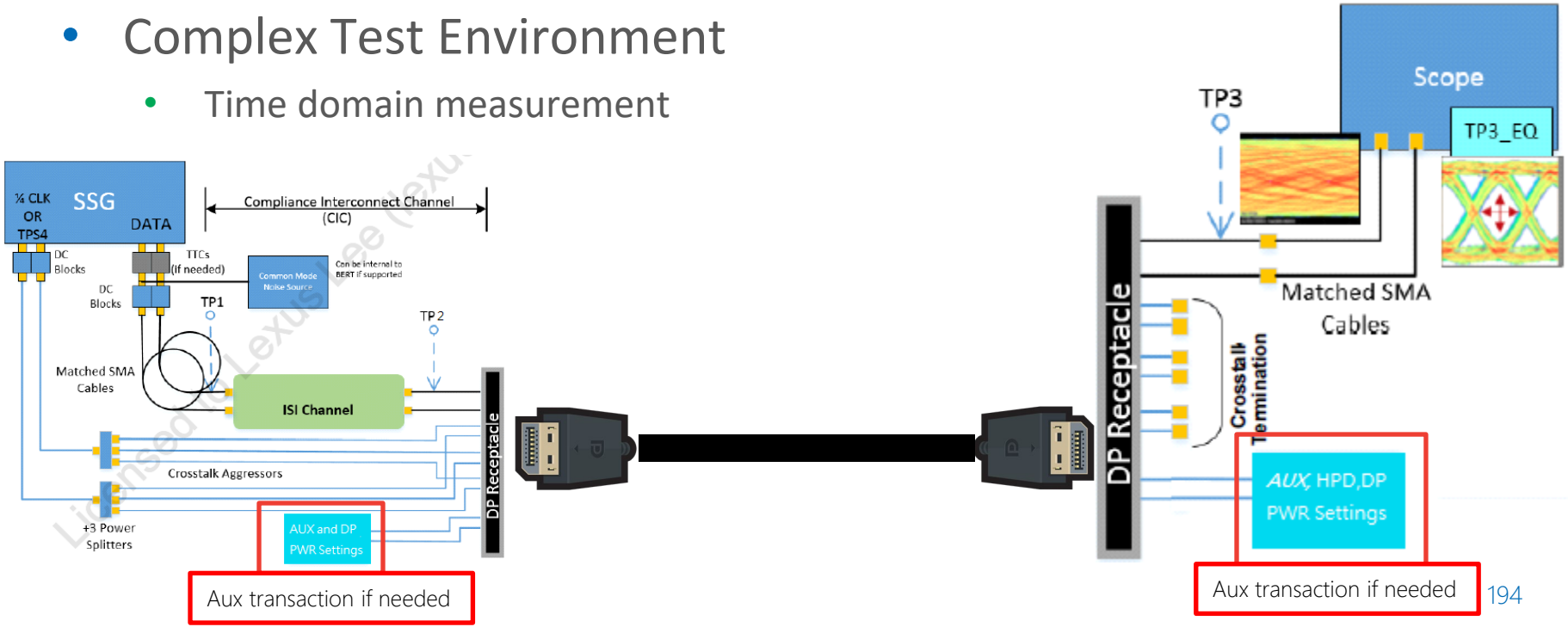
1. Vconn:3.0~5.5V
2. DP alt mode exerciser if needed.
3. Aux circuitry if needed.
4. Aux transaction if needed



1. Aux P: Pull high to 2.25~3.6V
2. Aux N: Pull down to GND.
3. DP_PWR:2.89~3.6V
4. HPD: Pull High to 2.25~3.6V
5. Aux transaction if needed

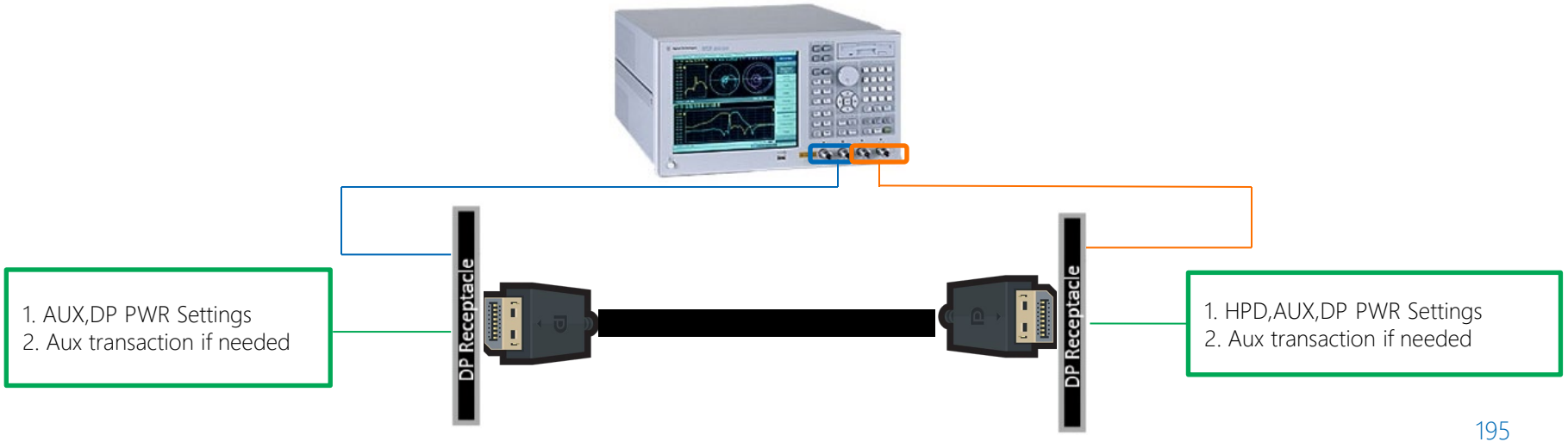
CTS Testing Challenges Cont’

- Complex Test Environment
  - Time domain measurement



CTS Testing Challenges Cont’

- Complex Test Environment
  - Frequency domain measurement



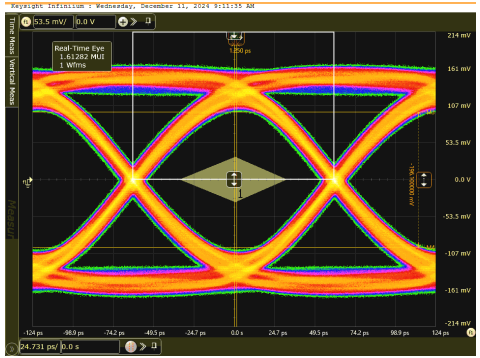
Overview

- Why VESA Defines LRD Active Cable Spec
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

The Most Frequently Failed Items

- Eye Diagram
  - UHBR20 Criteria
    - TP3_EQ-Inner Eye Height: 100mV
    - TP3_EQ-Eye Width: 560mUI
    - Cannot hit the eye mask
  - Requirement: Need to pass with 3 TxFFE Presets and average of 5 times.

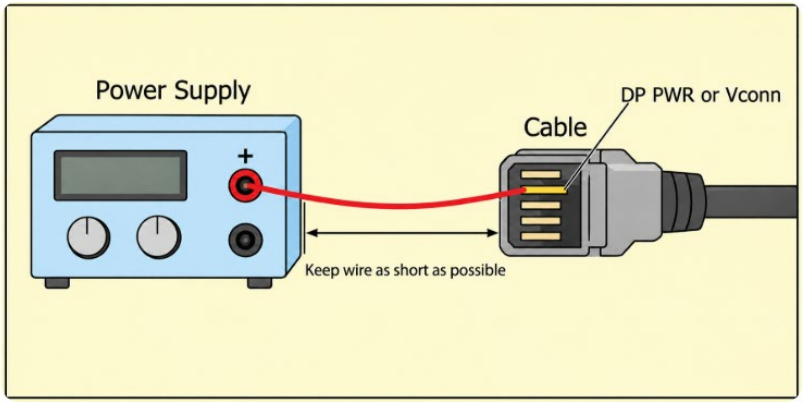
Preset Configuration #	Preshoot (dB)	De-emphasis (dB)
0	0	0
1	0	-1.9
2	0	-3.6
3	0	-5.0
4	0	-8.4
5	0.9	0
6	1.1	-1.9
7	1.4	-3.8
8	1.7	-5.8
9	2.1	-8.0
10	1.7	0
11	2.2	-2.2
12	2.5	-3.6
13	3.4	-6.7
14	3.6	0
15	1.7	-1.7



  - Caused by Raw cable material quality and cable vendor manufacturing capability

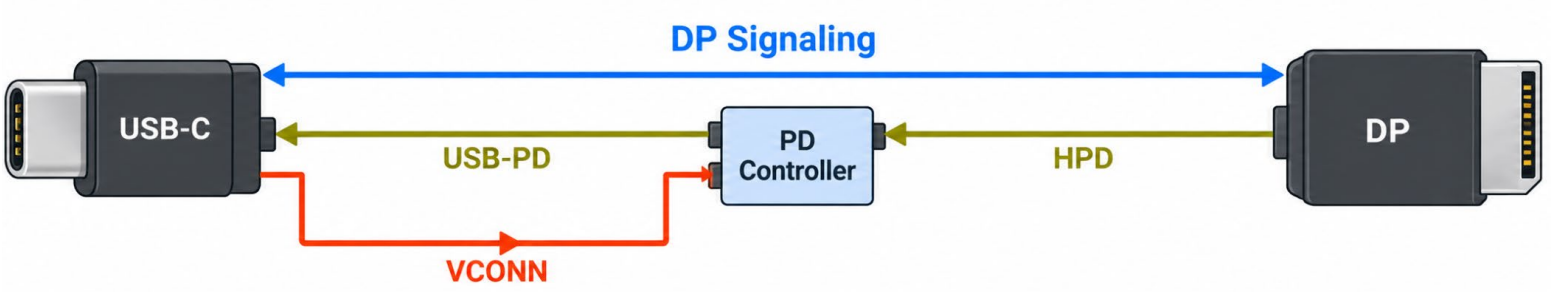
The Most Frequently Failed Items Cont’

- The Minimal Required Voltage
  - DP PWR Range: 2.89-3.6V for DP-DP Cable
    - Voltage Range : 2.89-3.6V
    - 2.89V → Failure
  - Vconn Range for USB-C to DP Cable
    - Voltage Range: 3.0-5.5V
    - 3.0V → Failure



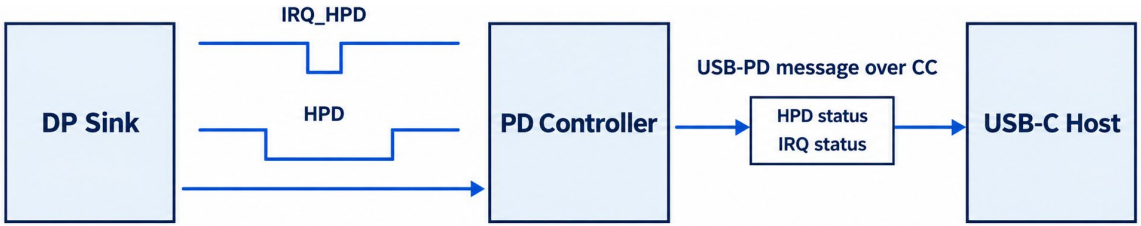
The Most Frequently Failed Items Cont'

- USB-C to DP Cable Structure



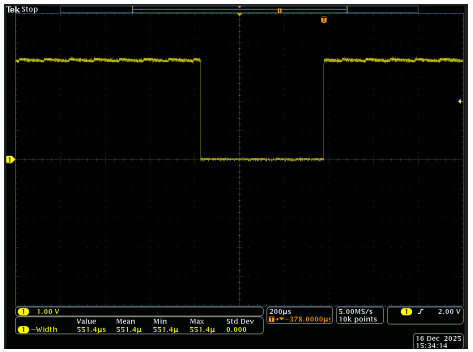
The Most Frequently Failed Items Cont'

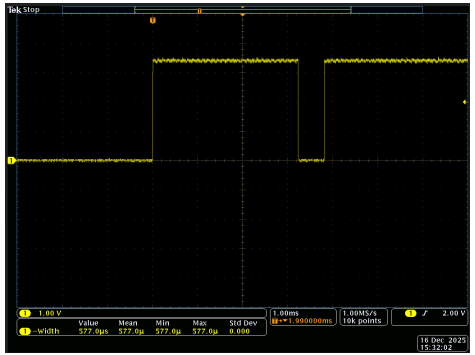
- HPD to PD Conversion
  - Different IRQ_HPD width
    - 2.05 to 2.1msec
    - 1.9 to 1.95msec
    - **2.60 to 270usec**
    - 230 to 240usec
  - Different HPD width
    - 5ms
    - 150ms

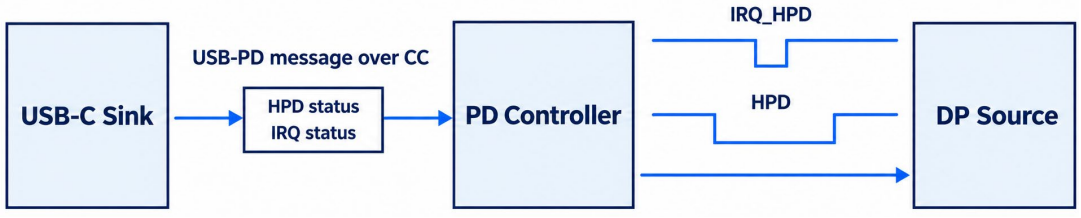


The Most Frequently Failed Items Cont'

- PD to HPD Conversion
  - IRQ_HPD status flag is set
  - HPD_Low is set
    - HPD_High is set
  - HPD_Low is set for 100ms
    - HPD_High and IRQ_HPD are set
      - In a single message

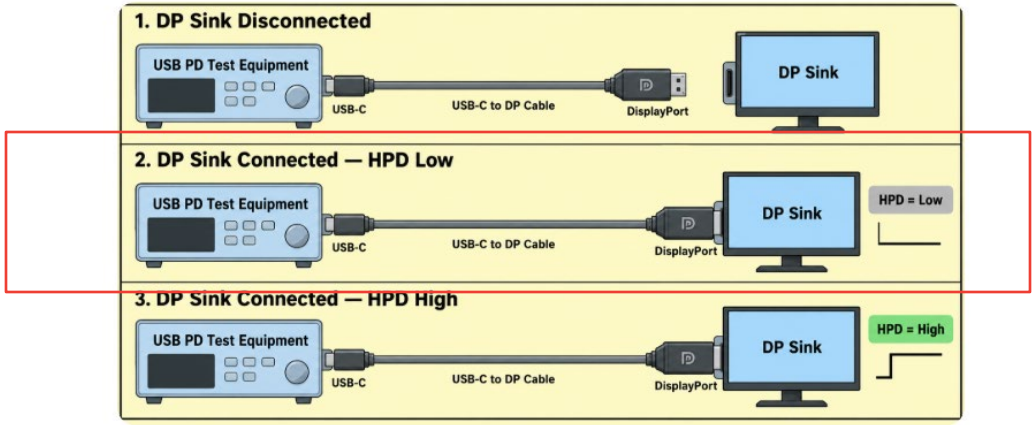






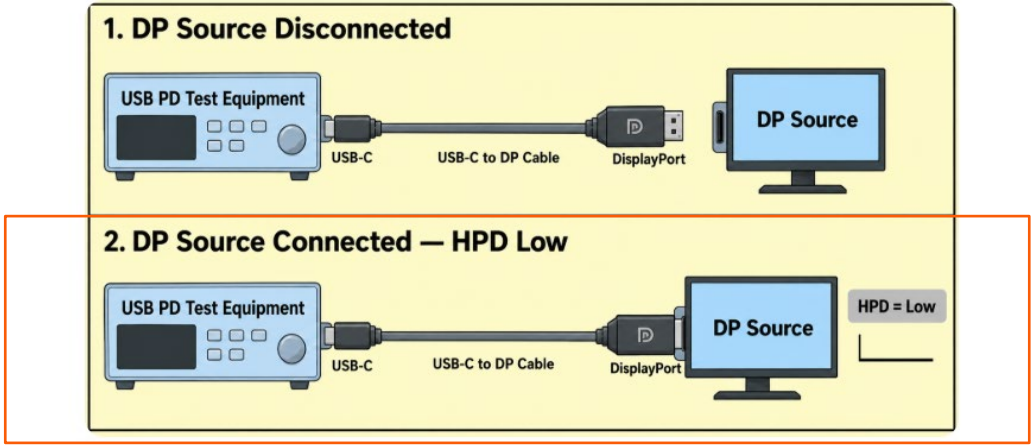
The Most Frequently Failed Items Cont'

- Attach to DP Sink
  - 3 test cases
    - Middle one→Failure
      - Assertion of DP Sink Disconnected



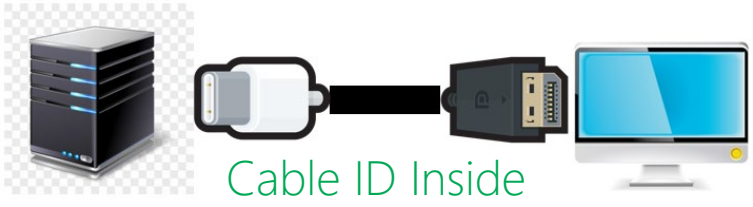
The Most Frequently Failed Items Cont'

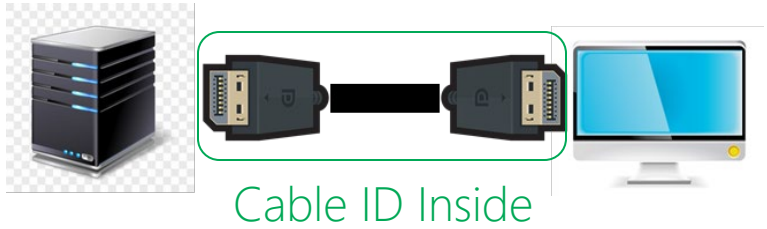
- Attach to DP Source
  - 2 test cases
    - Buttom one→Failure
      - Assertion of "DP Source Disconnected" when HPD is low



The Most Frequently Failed Items Cont'

- Typical Application of Cable ID





Rx: Read Cable ID from Cable

Tx: Read Cable ID from The Cable at USB-C end

Tx: Inform Rx of Cable ID at USB-C end

Rx: Read Cable ID from Cable

Tx: Read Cable ID from Rx

The Most Frequently Failed Items Cont'

- Cable ID at USB-C Connector
  - Rely of SOP' Discover Modes
- If UHBR20 Is Set
  - UHBR13.5 shall be set accordingly

Bit(s)	Description	Values
1:0	**RESERVED**	RESERVED (always 00b).
5:2	**Signaling for Transport of DisplayPort Protocol**[b]	XXX1b = Supports all defined *DP* bit rates up to HBR3. XX1Xb = Supports *DP* bit rate UHBR10. X1XXb = Supports *DP* bit rate of UHBR20 (e.g., 0111b supports all *DP* bit rates, including UHBR10 and UHBR20). All other values are RESERVED for higher bit rates.[c]
7:6	**RESERVED**	RESERVED (always 00b).
15:8	**DP Source Device Pin Assignments Supported**	0Ch = Pin Assignments C and D are supported. 10h = *USB-C* and *DP* connector Pin Assignment E is supported. All other values are RESERVED.
23:16	**DP Sink Device Pin Assignments Supported**	0Ch = Pin Assignments C and D are supported (USB-C-to-USB-C cable). 10h = *USB-C* and *DP* connector Pin Assignment E is supported. All other values are RESERVED.
25:24	**RESERVED**	RESERVED (always 00b).
26[d]	**UHBR13.5**	0 = UHBR13.5 is not supported. 1 = UHBR13.5 is supported.[e]
27	**RESERVED**	RESERVED (always 0).
29:28[d]	**Active Component**	00b = Passive. 01b = Active re-timer. 10b = Active re-driver. 11b = Optical.
31:30	**DPAM Version**	00b = Version 2.0 or earlier. 01b = Version 2.1 or higher.

Overview

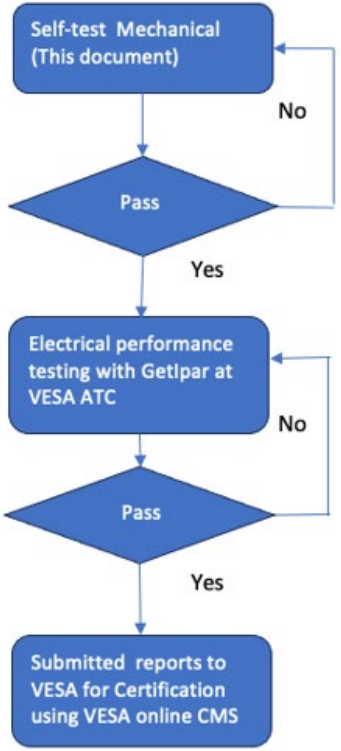
- Why VESA Defines LRD Active Cable Spec
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

DP Connector Certification Status

- Connector certification
  - Legacy Connector(HBR2 and below)
    - Has been phased out from end of 2025
  - DP8K & Enhanced Connector
    - Self-test Mechanical

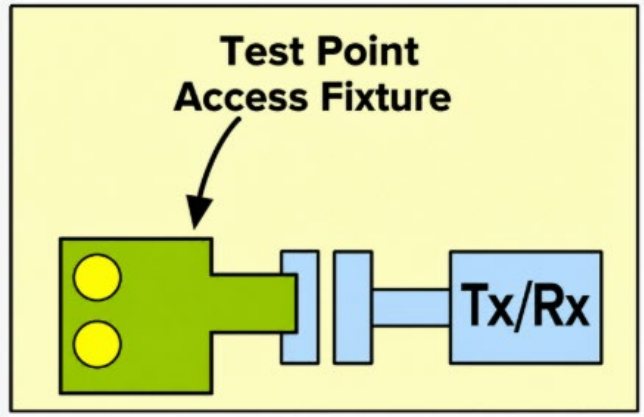
VESA® DisplayPort™ Self-Test Report for Connectors v2.1

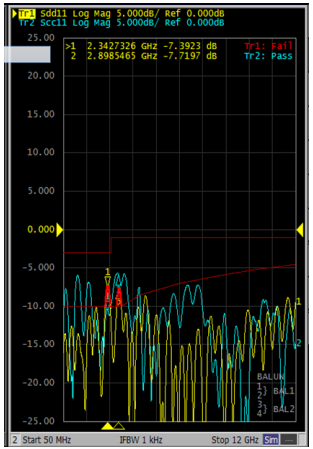
VESA® DisplayPort™ Self-Test Report for DP Connectors Supporting HBR3 Link Rate and DP8K Cables

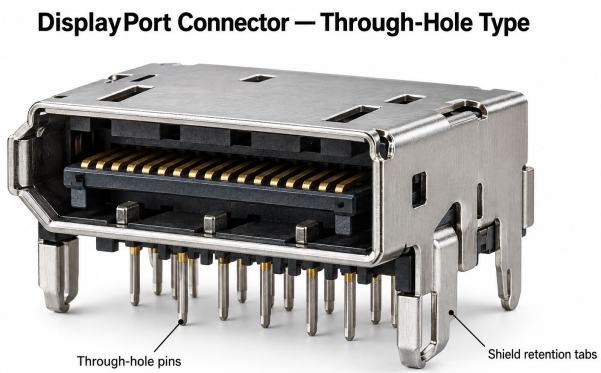


DP Connector Certification Status Cont'

- Enhanced DP Connector (DIP Type)
  - Possibly causing Sink/Source Return Loss test to fail
    - Even if it is a certified EnDP connector
    - Test method different between Connector and Sink/Source in CTS







Overview

- Why VESA Defines LRD Active Cable Standard
- VESA LRD Active Cable Testing Challenges
- VESA LRD Active Cable Testing Experience
- VESA Connector Certification Introduction
- Cable Next - Active Optical Cable?

Active Optical Cable

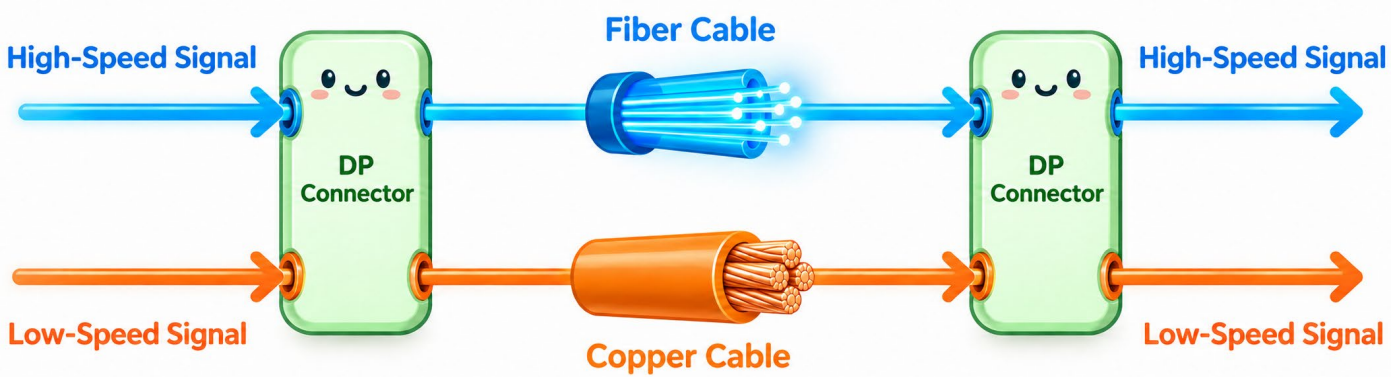
- Definition of DPCD 02217h and 00110h
  - Will add optical cable type in Bit 5:3 Cable Type field: 100b = Optical cable

	5:3	**Cable Type** 000b = Cable type is unknown (default; a DPRX device with a DP receptacle connector shall keep this value). 001b = Passive cable. 010b = LRD cable. 011b = LTTPR re-timer active cable. All other values are RESERVED.
	7:6	**RESERVED**

Licensed to

Active Optical Cable Cont’

- The Optical Cable’s Structure
  - Fiber used for Main-Link channels (High-Speed Data)
  - Copper used for Non-Main-Link channels



Active Optical Cable Cont'

- Allion has been verifying AOC performance
  - Equalization Setting on Each Lane
    - USB-C to USB-C Ends
      - Could be different due to the loss different definition between DP and USB specs while in Pin Assignment D Mode
    - USB-C to DP/mDP Ends and DP/mDP to DP/mDP Ends
      - Should be the same or be closer.
  - Creating PHY test proposal
    - Test items Include common items like Jitter/Eye/SSC/Skew
    - More focus on "Stressed Signal Condition" verification for TP3/TP3_EQ Eye

VESA Authorized Test Lab-Allion

- Allion Labs is one of VESA ATCs
  - Provides VESA certification services
    - DP/ClearMR/DisplayHDR/AdaptiveSync

- Allion Labs' Branch offices
  - Tokyo, Japan
  - Taipei, Taiwan
  - San Diego, USA
  - Budapest, Hungary

Thank you

VESA

Design Considerations for USB-C Products

Abel Astley
Unigraf
October 2026

Design Considerations for USB-C



==



Design Considerations for USB-C

Agenda

- **Back to Basics**: Sources, Sinks, and how they interoperate
- **Common Mistakes** and how to avoid them
- **Untapped Potential:** unique & under-used DPAM features
- **Recent Updates** to DP Alt Mode
- **USB4** and how it fits in

Back to Basics
Vocabulary

Back to Basics: Vocabulary

- From *USB Type-C® Cable and Connector Specification*, Rev 2.5 (March 2026)

Source	Port asserting ***Rp*** on CC and when attached is providing power over VBUS; most commonly a Host or Hub DFP.

Sink	Port asserting ***Rd*** on CC and when attached is consuming power from VBUS; most commonly a Device.

- In USB Speak, ***Source*** and ***Sink*** refer to a device's ***power role***, not its video role
- Where possible, this presentation will explicitly state which role is being referenced

Back to Basics: Vocabulary

DFP	Downstream Facing Port, specifically associated with the flow of data in a USB connection. Typically, the ports on a host or the ports on a hub to which devices are connected. In its initial state, the DFP sources VBUS and VCONN, and supports data. A charge-only DFP port only sources VBUS.
UFP	Upstream Facing Port, specifically associated with the flow of data in a USB connection. The port on a device or a hub that connects to a host or the DFP of a hub. In its initial state, the UFP sinks VBUS and supports data.
DRD (Dual-Role-Data)	The acronym used in this specification to refer to a USB port that can operate as either a DFP (Host) or UFP (Device). The role that the port initially takes is determined by the port's power role at attach. A Source port takes on the data role of a DFP and a Sink port takes on the data role of a UFP. The port's data role ***may*** be changed dynamically using ***USB PD*** Data Role Swap.
DRP (Dual-Role-Power)	The acronym used in this specification to refer to a USB port that can operate as either a Source or a Sink. The role that the port offers ***may*** be fixed to either a Source or Sink or ***may*** alternate between the two port states. Initially when operating as a Source, the port will also take on the data role of a DFP and when operating as a Sink, the port will also take on the data role of a UFP. The port's power role ***may*** be changed dynamically using ***USB PD*** Power Role Swap.

Common Mistakes

The importance of Rd

Back to Basics

Figure 4-5 Pull-Up/Pull-Down CC Model

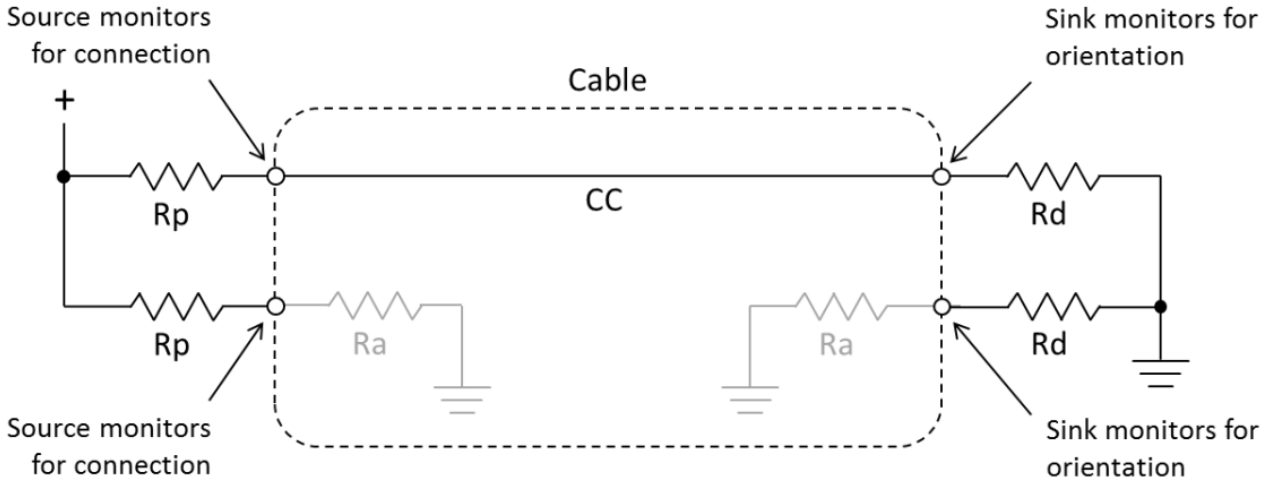


Figure 4-6 Current Source/Pull-Down CC Model

The importance of Rd



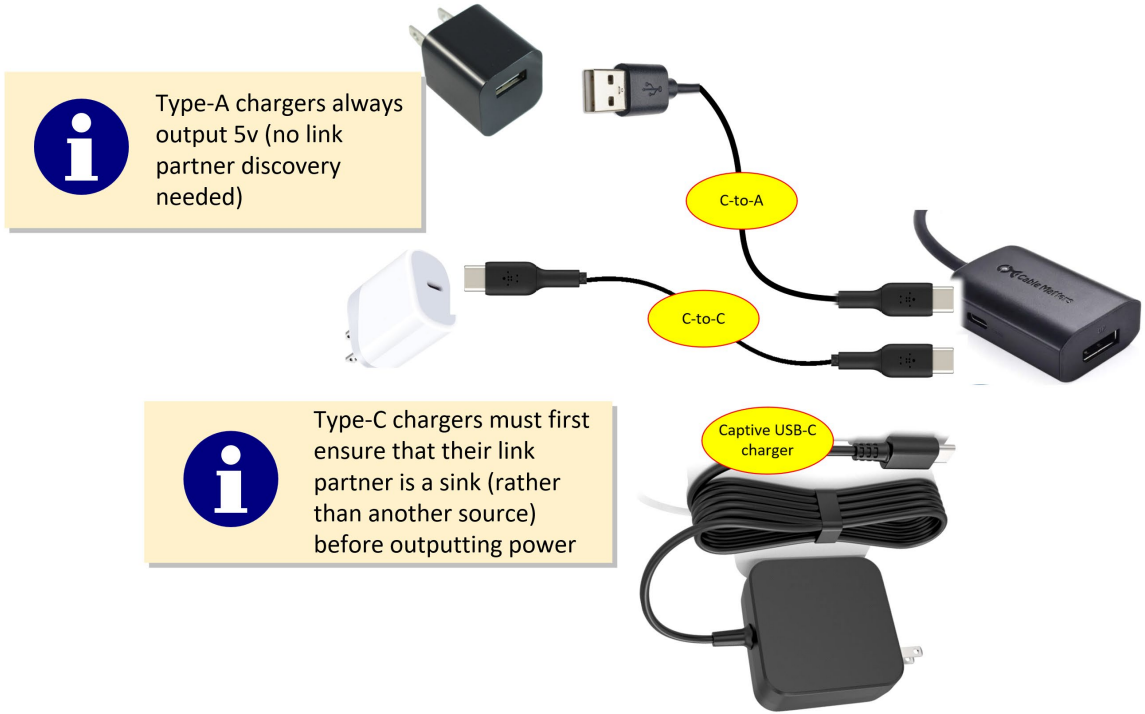
The importance of Rd



- User may connect any of these charger types to the charge-through port

The importance of Rd

- User may connect any of these charger types to the charge-through port



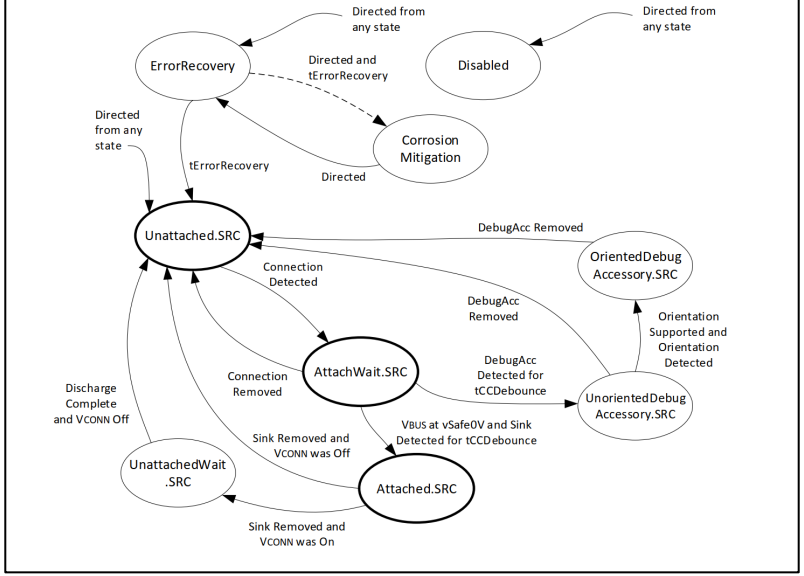
The importance of Rd

- From *USB Type-C® Cable and Connector Specification*, Rev 2.5 (March 2026)

- **Key point: if a USB-C Charger doesn't see Rd, it will *not* enable its output**

Figure 4-12 illustrates a connection state diagram for a Source (Host/Hub DFP).

Figure 4-12 Connection State Diagram: Source



Takeaway:

USB-C ports should be designed to work with C-to-C cables as well as C-to-legacy adaptors

Common Mistakes

The Impact of Ground Current

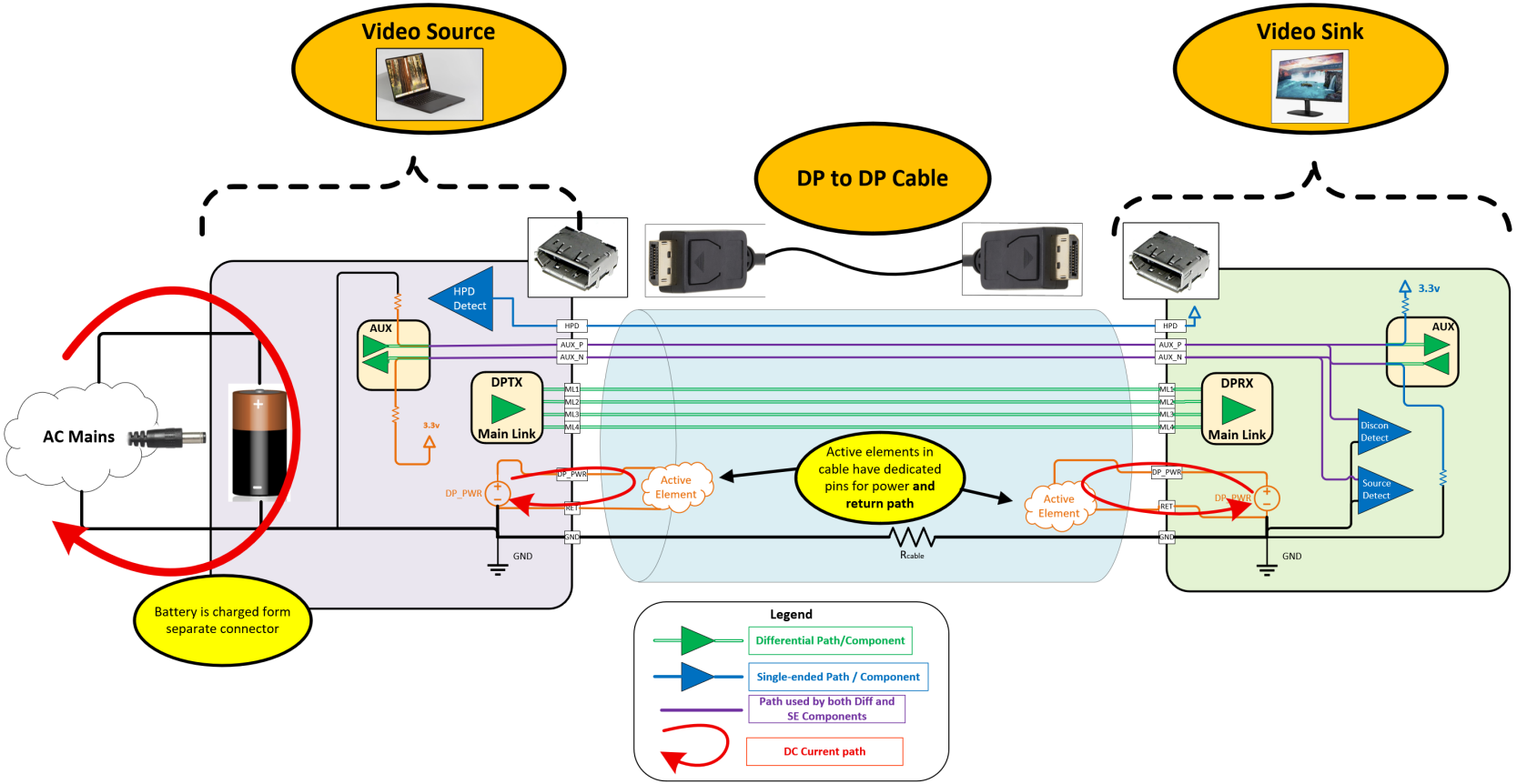
Ground Current

- ***Ground Current*** refers to current flowing through the cable GND conductors

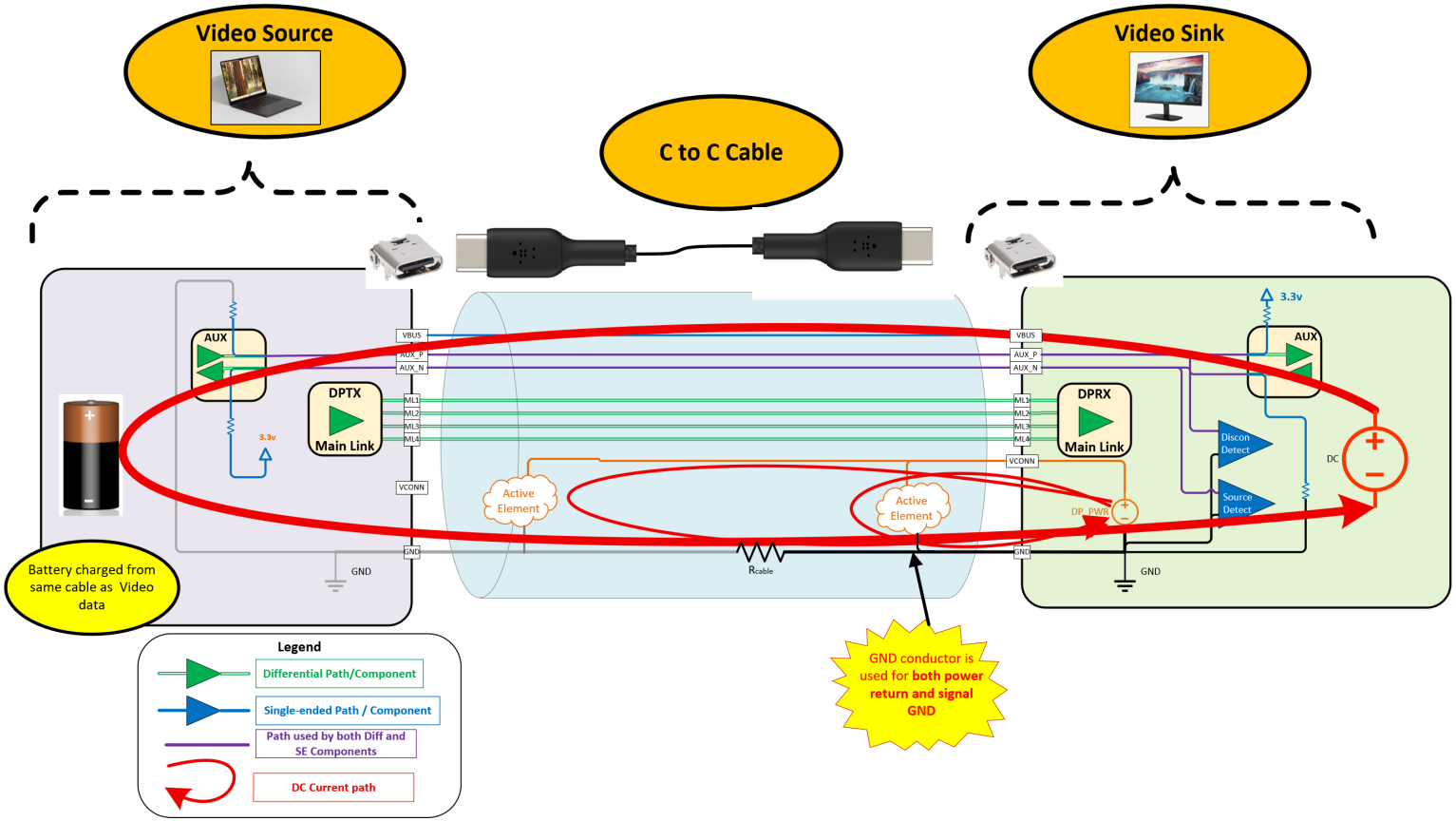
- For Native DP, the Ground Current should be **close to zero**

- For USB-C, the Ground Current can be **5 amps in either direction**, and can **change dynamically**

Native DP Link



USB-C Link


Video Source
Video Sink
C to C Cable
AUX
DPTX
Main Link
DPRX
Main Link
3.3v
VBUS
AUX_P
AUX_N
ML1
ML2
ML3
ML4
VCONN
GND
Active Element
Active Element
Rcable
Discon Detect
Source Detect
DP_PWR
DC
Battery charged from same cable as Video data
Legend
Differential Path/Component
Single-ended Path / Component
Path used by both Diff and SE Components
DC Current path
GND conductor is used for both power return and signal GND

Notes on Ground Current

- Bad/old cable will increase effect
- Usually can't fix in fw
- From *Universal Serial Bus Power Delivery Specification*, Release 3.2, Version 1.2, May 20, 2026:

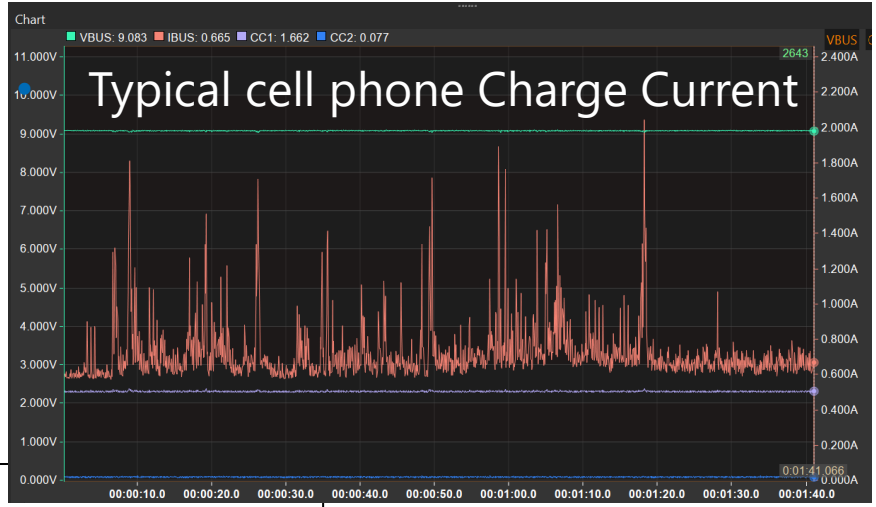


Table 4.7. Sink Electrical Parameters

Parameter Name	Min Value	Nom Value	Max Value	Unit	Description
cSnkBulk			See [USB3]		Sink bulk capacitance on VBUS at Attach and during FRS after the Initial Source stops sourcing and prior to establishing the First Explicit Contract.
cSnkBulkPd			100	µF	Bulk Capacitance that a Sink is allowed to present on VBUS after a successful Negotiation.
iLoadReleaseRate	-150			mA/ µs	Load release di/dt.
iLoadStepRate			150	mA/ µs	Load step di/dt.
iPpsCLLoadStep	-500		500	mA	Maximum Current set-point change while operating in CL Mode.

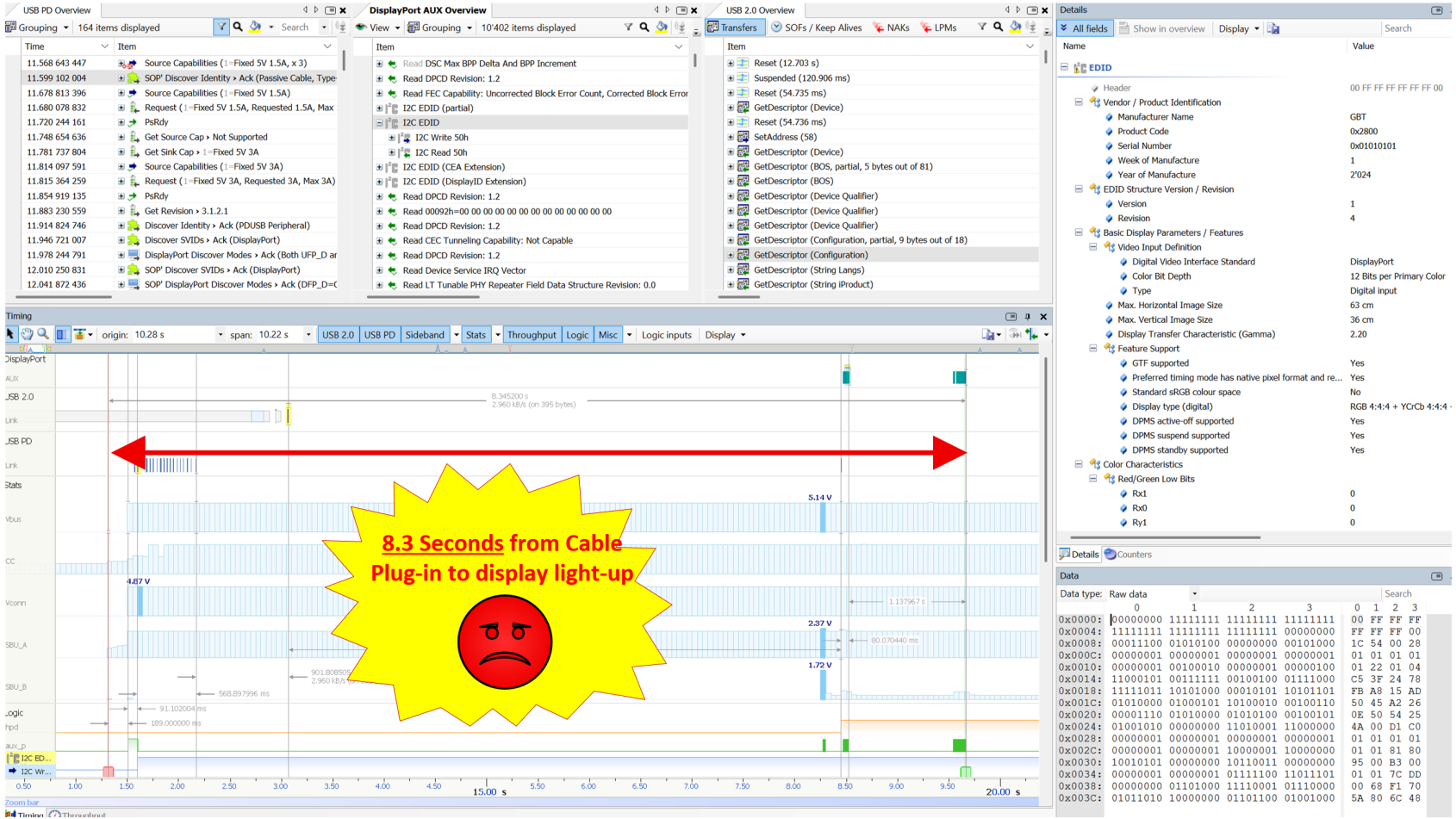
Common Mistakes

Delay from Cable plug-in to display light-up

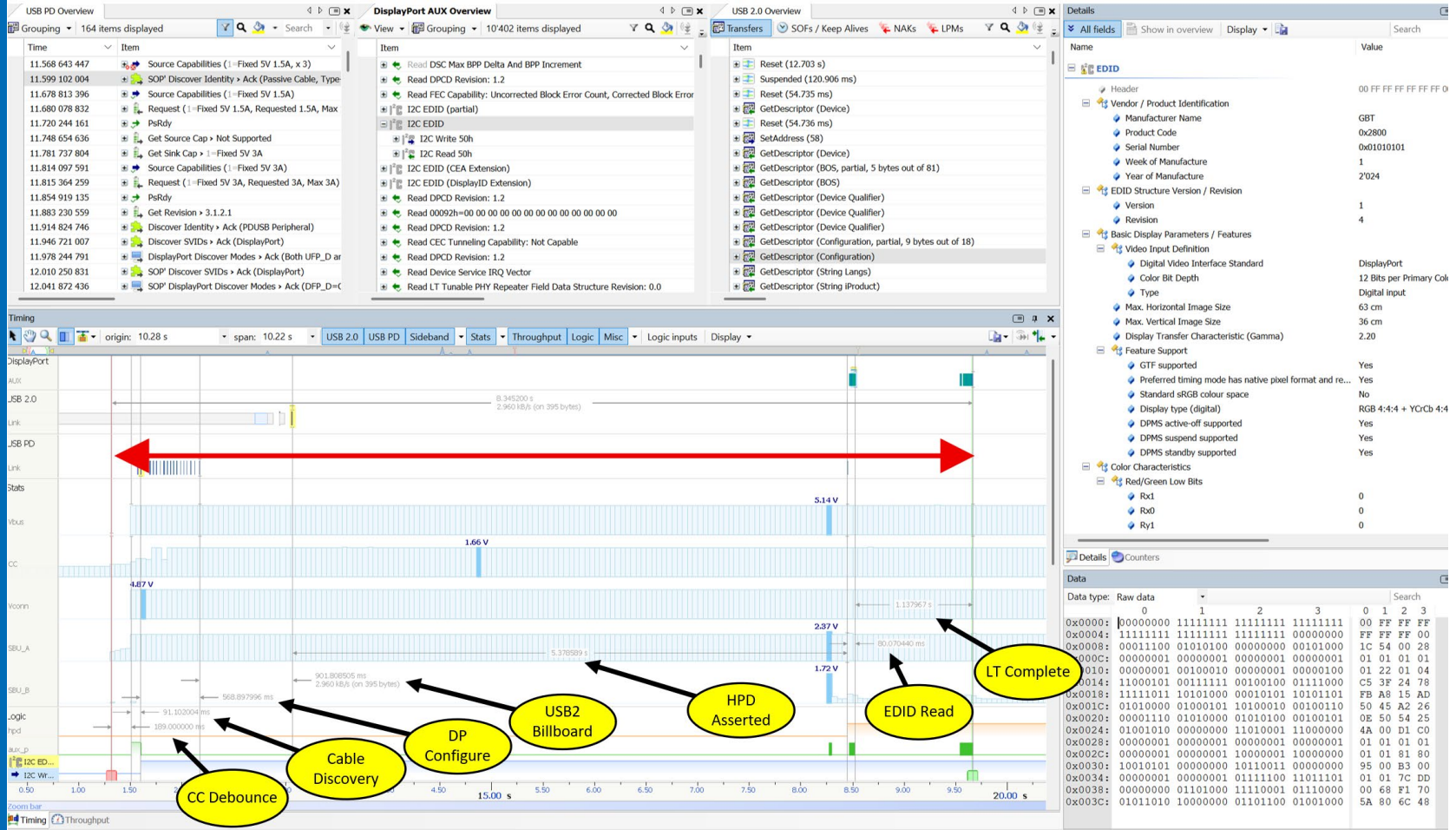
Common Mistakes: Display light-up delay

- USB-C/PD and DP subsystems are usually developed by **different engineering teams**
- There is **no standardized interface** for passing info/events between PD and DP
- This sometimes leads to **sub-optimal behavior**, such as delay on initial plug-in

Common Mistakes: Display light-up delay



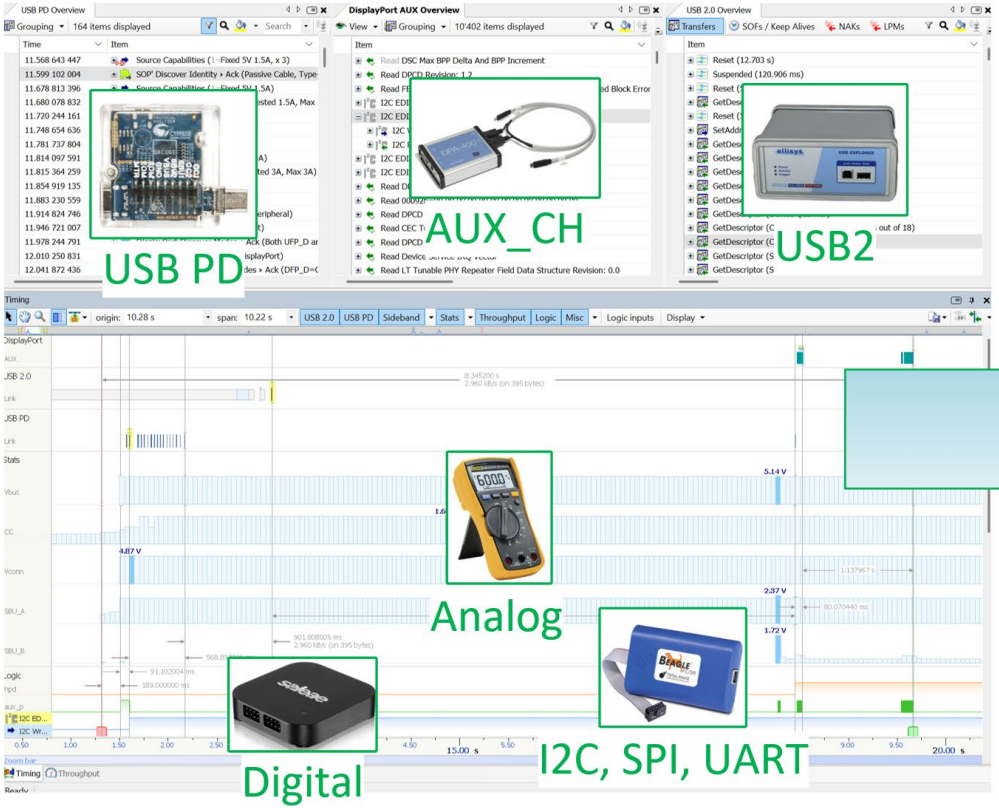
Common Mistakes: Display light-up delay



Takeaway:

Be sure your equipment can capture and decode all relevant data on the USB-C interface

VESA Ellisys C-Tracker





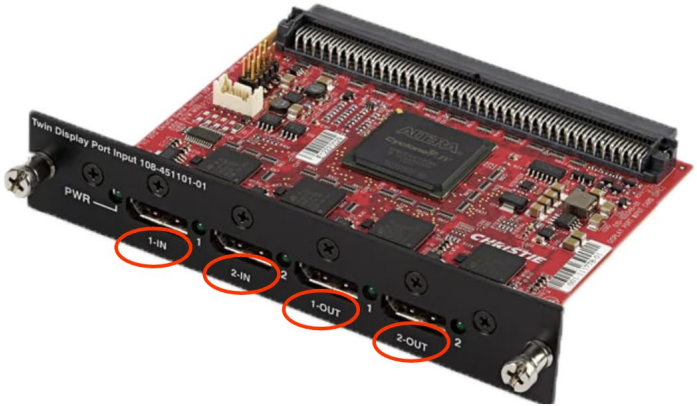
Untapped Potential

Bi-directional Video Capabilities

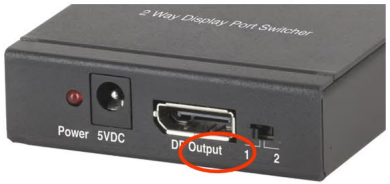
Untapped Potential: Bi-directional Video

- Traditionally, video connectors have been either **inputs** or **outputs**









Untapped Potential: Bi-directional Video

- DPAM allows a single physical connector to function as either a video input or video output

- From *VESA DisplayPort Alt Mode on USB Type-C Standard*, Version 2.1b (Jan 9, 2026):

Table 5-6: DP Capabilities (VDO in the Responder USB PD *Discover Modes* VDM)

Bit(s)	Description	Values[a]
1:0	**Port Capability**	00b = RESERVED. 01b = *DP* Sink Device Capable (including *DP* Branch device). 10b = *DP* Source Device Capable (including *DP* Branch device). 11b = Both *DP* Source and Sink Device Capable.

Licensed to

Time for some “show n tell”…

Untapped Potential: Bi-directional Video

- Potential product ideas with bi-directional video ports…

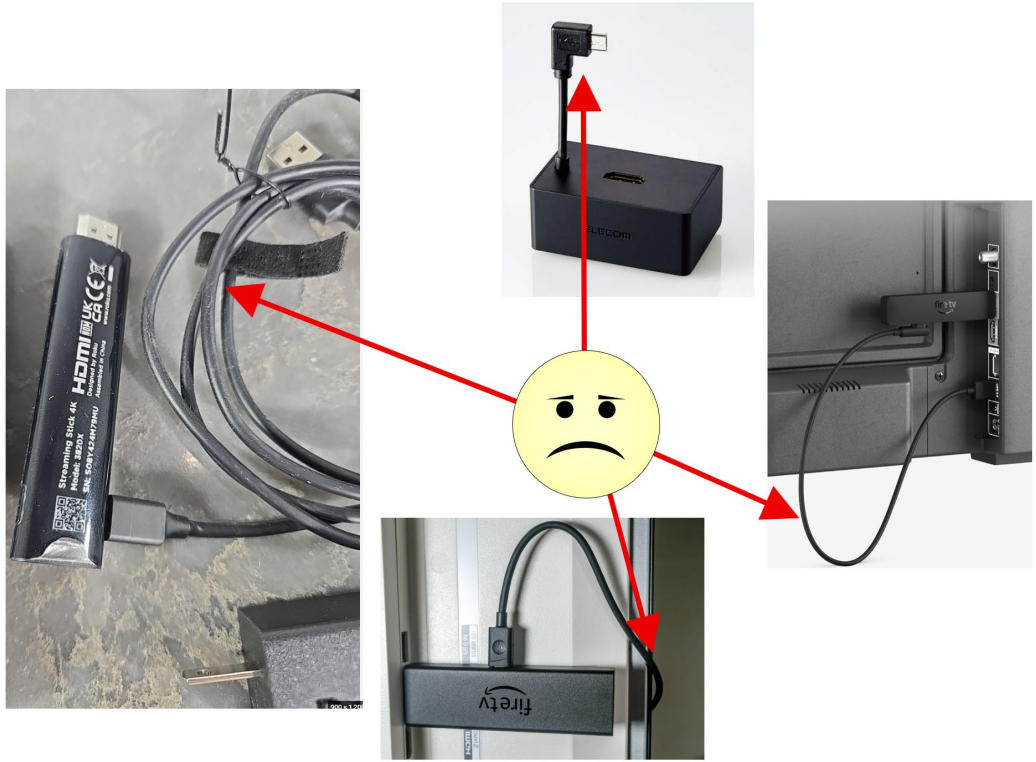
- **Tablet** with “Travel Display” functionality
- **Inline Repeater** with reversible topology
- Portable **Test Equipment**
- **Etc, etc,…**

Untapped Potential

USB-C “Dongle” video source

Untapped Potential: USB-C Dongle Video Source

- Video “Dongles” or “Sticks” are mostly implemented with non-USB-C connectors
- This requires them to have a dedicated connector for power



Untapped Potential: USB-C Dongle Video Source

- In DPAM, the power role and the video role **are independent**
- This means that a video source can be a power sink

More “show n tell”…

Untapped Potential: USB-C Dongle Video Source

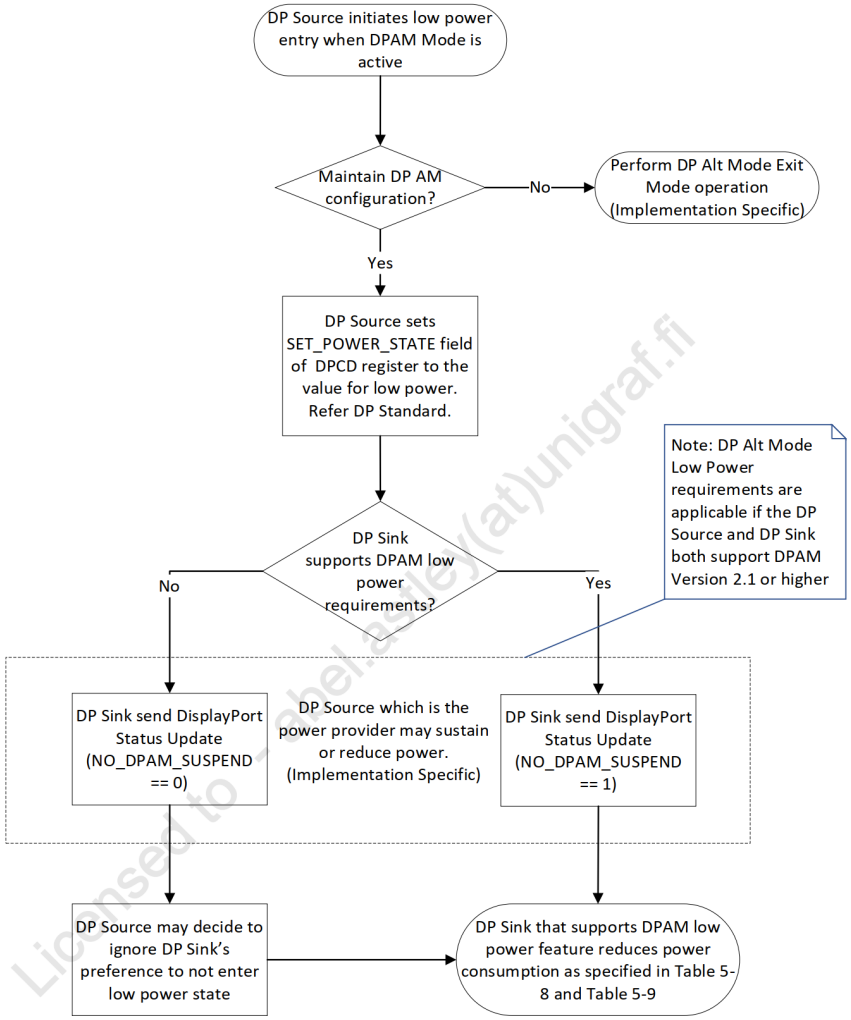
- Video “Dongles” or “Sticks” could be made with USB-C / DPAM, and would not require any cable or connector for power

- The TV industry could enable this by including USB-C / DPAM as a video input

Recent Updates

Noteworthy changes to *USB PD* and *DisplayPort Alternate Mode* Specifications

DPAM Suspend



Licensed to ... abel.astley(at)unigraf.fi

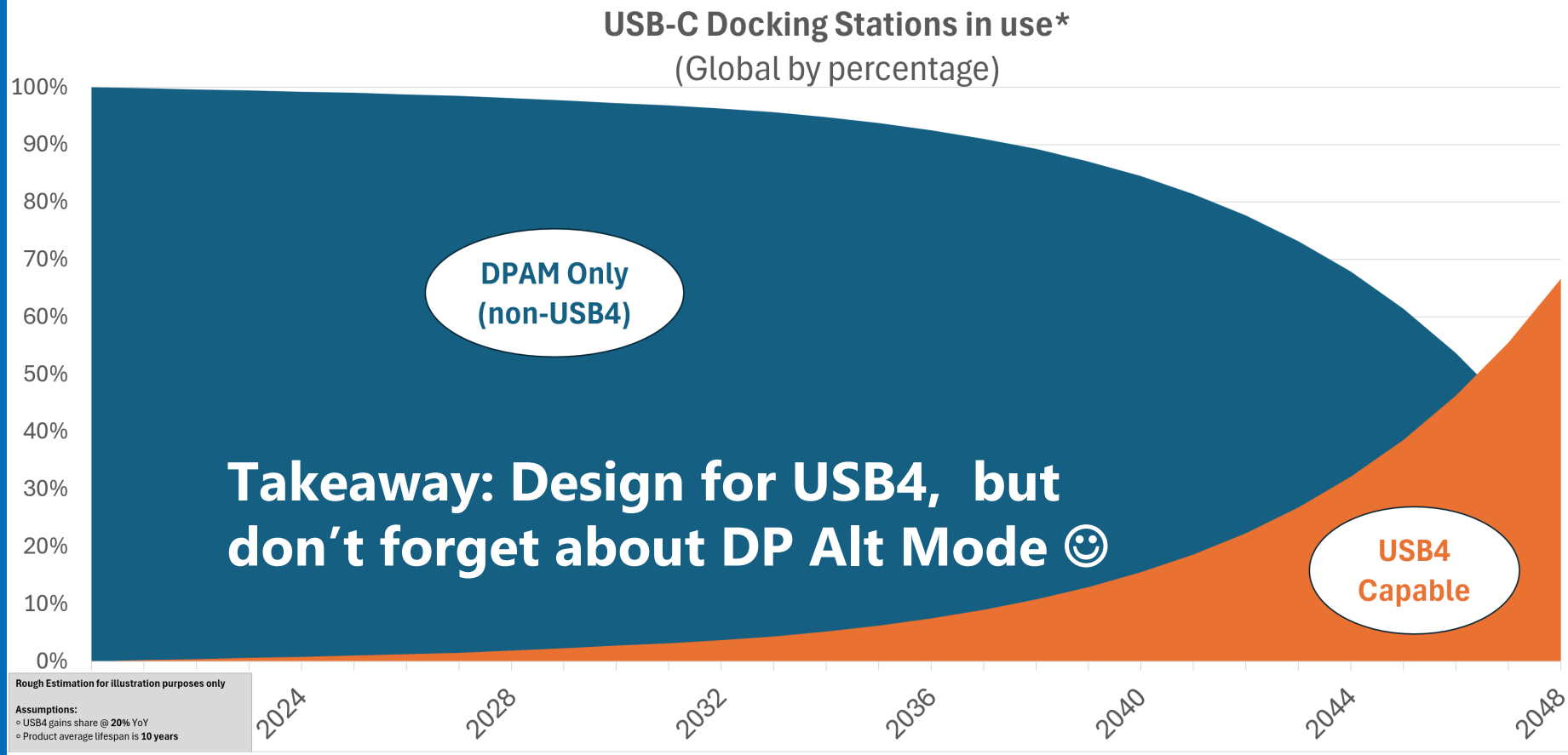
Figure 6-1: High-level example DP Alt Mode low power flow with a bus powered UFP_U/DP Sink

Recent Updates: *Source Type Power Rules*

- Currently, USB-C ports on laptops are (basically) limited to 5v output due to strict rules regarding PD power sources

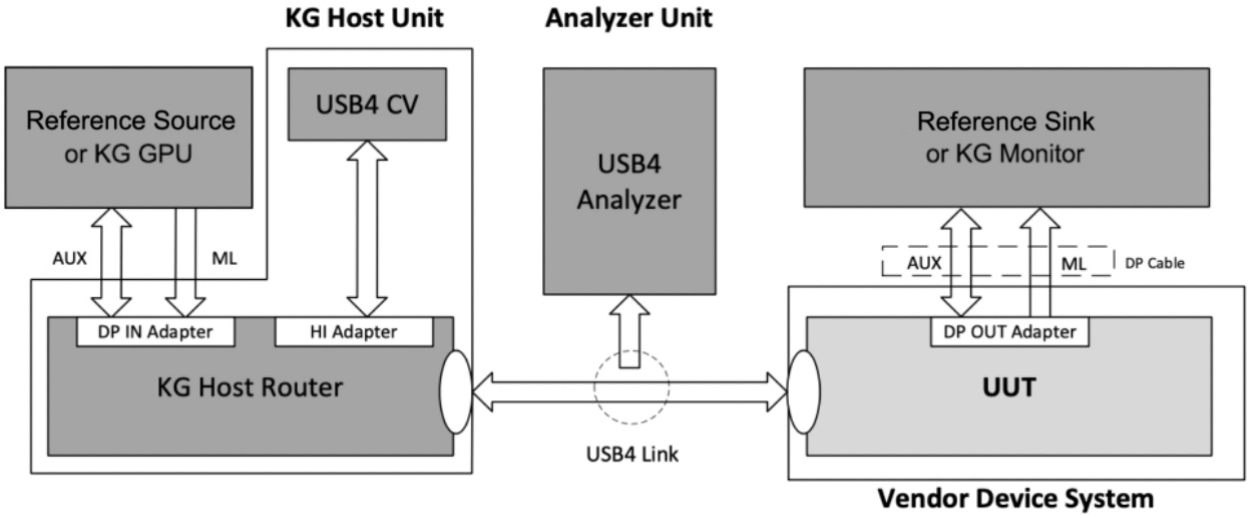
- This may change in the near future, enabling laptops to (more practically) output 9v and/or PPS on their USB-C ports

USB4


USB-C Docking Stations in use*
(Global by percentage)
100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
DPAM Only
(non-USB4)
USB4
Capable
Takeaway: Design for USB4, but
don't forget about DP Alt Mode ☺
2024
2028
2032
2036
2040
2044
2048
Rough Estimation for illustration purposes only
Assumptions:
◦ USB4 gains share @ 20% YoY
◦ Product average lifespan is 10 years

USB4 Testing

- From *USB4 DP Tunneling CTS Rev 2.6*



UCD-500 Gen 3

16K DP 2.1b Generator & Analyzer

- DP 2.1b Sinks and Sources up to 8K@60Hz
  (16K@60Hz with DSC up to UHBR 20 Bit Rate)
- Supports DP and USB-C connectors
- GPIO interface for external control
- New fan cooler and chassis design
- Adaptive Sync, DSC, FEC and LTTPR support
- DP 2.1b and DP 1.4a Link Layer CTS Tool including DSC, LTTPR,
  DisplayID/EDID and Adaptive-Sync
- MST (up to 4 streams) with MST CTS Source and Branch DUT
  (full test set for Branch scheduled release in 4Q 2026)
- HDCP 2.3 Compliance Test Device for Transmitters, Receivers and Repeaters
- Color depth 6 to 16bpc
- Capture memory 16GB
- Now featuring Link Analyzer (monitor), *Panel Replay and eDP 1.5 test functions (eDP 2.0 scheduled release in 4Q 2026)

16K UHD

DP 2.1 LL CTS

HDCP 2.3 CTS











*Demo video on Youtube

Any Questions?

Afternoon Break

Sessions will resume at 2:15 pm

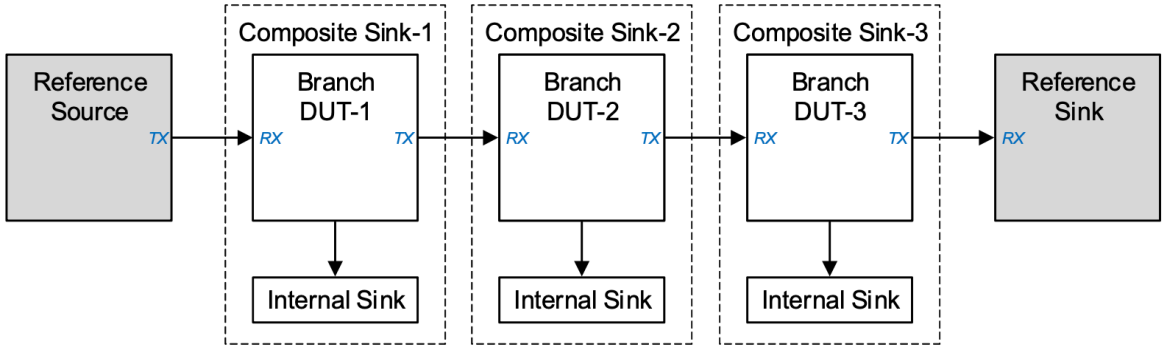
Compliance Testing

VESA PlugTest Events

- Provide significant value to VESA compliance program and member companies, particularly as new capabilities and products are deployed.
- Demonstrate and improve traditional interoperability
- Test Native DP and DP Alt Mode over USB Type-C™ products
  - UHBR rates, DSC, New MST Link Layer Tests, FEC, DisplayHDR and other new capabilities
  - Verify Test Equipment Correlation
- VESA hosted two successful PlugTests in 2025 (Taiwan and US)
- VESA hosts two PlugTests in 2026
  - Honolulu, Hawaii USA: **May 2026 (completed)**
  - Taipei, Taiwan: **October 19-23, 2026 (last week)**

Multi-Stream Transport (MST) Compliance Testing Enhancements

- After over a year of specification and test equipment test development VESA is preparing to release its biggest MST test update since DP 1.2. With the introduction of UHBR20 + DSC, users can now daisy chain multiple 4K/120Hz displays from a single output connector
- The unique DP capability of driving multiple daisy chained displays with a single output connection/cable is increasingly the most popular feature of DP for end users
- To further improve end user experience with MST configurations, VESA's latest DP Link Layer Compliance Test Specification adds dozens of new MST source/sink tests to verify products are implemented according to DP specifications



DP 2.1a LL CTS Composite Sink (Daisy-chainable Sink) Setup 3

DP54, DP80 and DP80LL Cable Specifications and Certification program

- Work on Enhanced DP cable and connector specifications and test requirements started in 2021 to ensure high performance connectors and cables would be available for products supporting UHBR rates
- DP54 and DP80 Certified cables provide added assurance of proper operation at the highest link rates (UHBR10, UHBR13.5 and UHBR20 Gbps).
- DP80LL active LRD cable CTS and certification added to provide UHBR20 Gbps rate support for longer cables (can support ~3 meter cables)
  - Linear Redrivers (LRD) are level boosting amplifiers that boost signal transmission over longer distances
- Over 150 Enhanced DP cables and connectors have been certified since launch of the Enhanced DP cable and connector certification programs

Product certifications* 2024/2025/2026

Products	2024	2025	2026
DP Sources	93	136	81
DP Sinks	491	428	362
DP Cables	70	57	34
DisplayHDR	556	582	528
ClearMR	53	71	68
AdaptiveSync	75	113	122

*Note: Numbers are base model certs not including family models. Updates to Compliance Management System (CMS) will include feature to count family models in the future.

DisplayPort Link Testing
Source CDF Tool

Overview

VESA Workshop

October 27, 2026

What is a DisplayPort CDF

- **CDF** stands for Capability Declaration Form.
- A **CDF** is an official document or electronic form that a product manufacturer (OEM or brand) fills out and submits when seeking official DisplayPort Certification.
- **Purpose:** It serves as a detailed checklist recording all the exact capabilities, hardware features, and specifications supported by a DisplayPort transmitter (source, like a graphics card) or receiver (sink, like a monitor).
- **Authorized Test Centers** (ATCs) use the data entered into the CDF to configure automated testing equipment. The test equipment dynamically builds test parameters to verify that the device actually behaves according to the capabilities claimed in its CDF.

Source CDF Tool

The **Source CDF Tool** is an active Excel Spreadsheet but can be used without enabling Macros

Source CDF Tool

The **Source CDF Tool** is available to VESA members on the VESA Causeway Test Implementation Subgroup Page

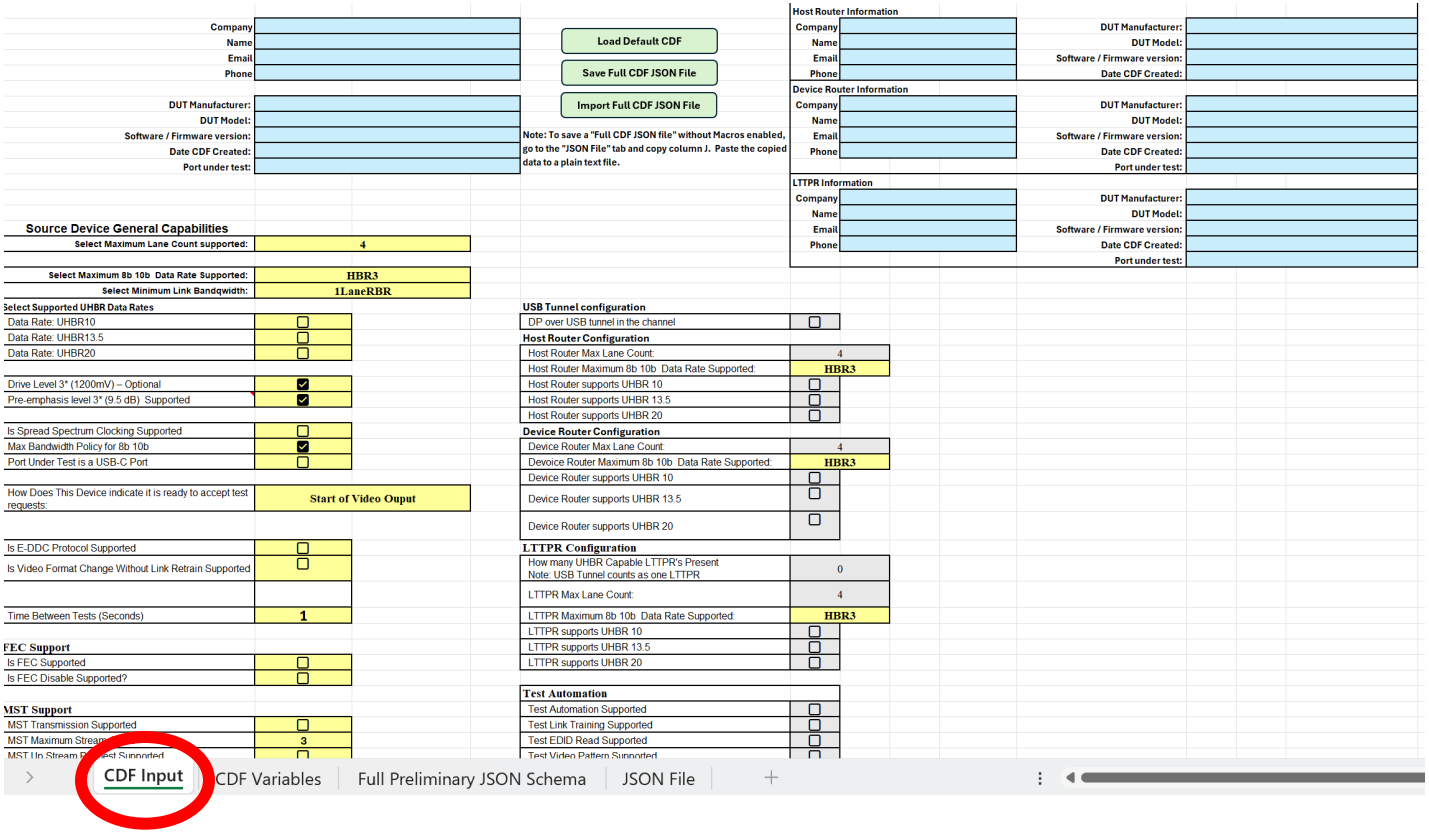
SourceCDFTool_Beta_xxxx_xx_2026.xlsm

Source CDF Tool

The **Source CDF Tool** creates a CDF file in json format that can be imported and used with the two approved Link Test Equipment:
UCD500 and **M42d / M42de**

Source CDF Tool

The Source CDF Tool takes user input in the first “CDF Input” tab



Company	
Name	
Email	
Phone	

Load Default CDF

Save Full CDF JSON File

Import Full CDF JSON File

Note: To save a "Full CDF JSON file" without Macros enabled, go to the "JSON File" tab and copy column J. Paste the copied data to a plain text file.

DUT Manufacturer:	
DUT Model:	
Software / Firmware version:	
Date CDF Created:	
Port under test:	

Host Router Information

Company		DUT Manufacturer:	
Name		DUT Model:	
Email		Software / Firmware version:	
Phone		Date CDF Created:	

Device Router Information

Company		DUT Manufacturer:	
Name		DUT Model:	
Email		Software / Firmware version:	
Phone		Date CDF Created:	
		Port under test:	

LTTPR Information

Company		DUT Manufacturer:	
Name		DUT Model:	
Email		Software / Firmware version:	
Phone		Date CDF Created:	
		Port under test:	

Source Device General Capabilities

Select Maximum Lane Count supported:	4
Select Maximum 8b 10b Data Rate Supported:	HBR3
Select Minimum Link Bandqwidth:	1LaneRBR

Select Supported UHBR Data Rates	
Data Rate: UHBR10	☐
Data Rate: UHBR13.5	☐
Data Rate: UHBR20	☐
Drive Level 3* (1200mV) – Optional	☑
Pre-emphasis level 3* (9.5 dB) Supported	☑
Is Spread Spectrum Clocking Supported	☐
Max Bandwidth Policy for 8b 10b	☑
Port Under Test is a USB-C Port	☐
How Does This Device indicate it is ready to accept test requests:	Start of Video Ouput
Is E-DDC Protocol Supported	☐
Is Video Format Change Without Link Retrain Supported	☐
Time Between Tests (Seconds)	1

FEC Support

Is FEC Supported	☐
Is FEC Disable Supported?	☐

MST Support

MST Transmission Supported	☐
MST Maximum Stream	3
MST Up Stream Request Supported	☐

USB Tunnel configuration	
DP over USB tunnel in the channel	☐

Host Router Configuration	
Host Router Max Lane Count:	4
Host Router Maximum 8b 10b Data Rate Supported:	HBR3
Host Router supports UHBR 10	☐
Host Router supports UHBR 13.5	☐
Host Router supports UHBR 20	☐

Device Router Configuration	
Device Router Max Lane Count:	4
Devoice Router Maximum 8b 10b Data Rate Supported:	HBR3
Device Router supports UHBR 10	☐
Device Router supports UHBR 13.5	☐
Device Router supports UHBR 20	☐

LTTPR Configuration

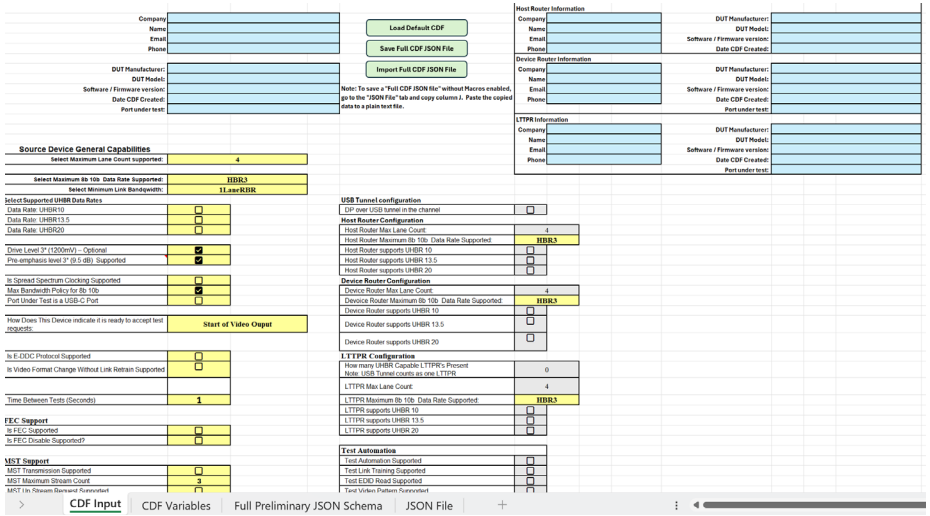
How many UHBR Capable LTTPR's Present Note: USB Tunnel counts as one LTTPR	0
LTTPR Max Lane Count:	4
LTTPR Maximum 8b 10b Data Rate Supported:	HBR3
LTTPR supports UHBR 10	☐
LTTPR supports UHBR 13.5	☐
LTTPR supports UHBR 20	☐

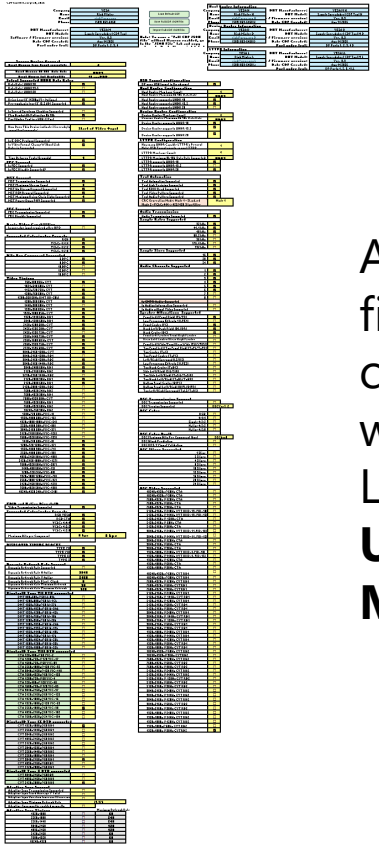
Test Automation	
Test Automation Supported	☐
Test Link Training Supported	☐
Test EDID Read Supported	☐
Test Video Pattern Supported	☐

CDF Input | CDF Variables | Full Preliminary JSON Schema | JSON File

Source CDF Tool

The Source CDF Tool allows full CDF User Input (up to 330+ input fields)





Allows input for every field required for compliance testing with the two approved Link test tools: **UCD500** and **M42d / M42de**

Source CDF Tool

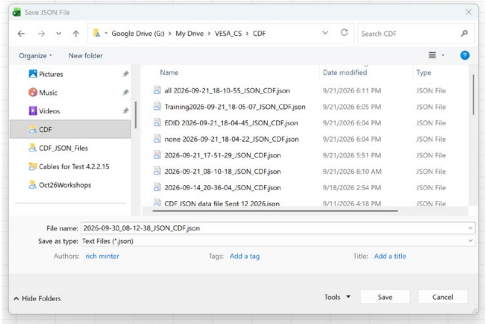
Company	
Name	
Email	
Phone	
DUT Manufacturer:	
DUT Model:	
Software / Firmware version:	
Date CDF Created:	
Port under test:	

Load Default CDF

Save Full CDF JSON File

Import Full CDF JSON File

Note: To save a "Full CDF JSON file" without Macros enabled, go to the "JSON File" tab and copy column J. Paste the copied data to a plain text file.



After completing the CDF input information, the CDF JSON file can be saved. A file save dialog will open to allow saving the CDF JSON file.

Note: If Macros are not enabled in your excel application, you may save the JSON file manually

Source CDF Tool

A comprehensive Source CDF Tool Tutorial has instructions to load CDF files into the Test Equipment

M42de: Instructions to load a CDF file see: Slide 16 - 22

UCD500: Instructions to load a CDF file see: Slide 23 - 27

The Source CDF Tool Tutorial is available on VESA Causeway Test Implementation Subgroup Documents Page:

Source CDF Tool Tutorial.ppsx

END

Summary

Summary

- VESA-based product shipments and certifications have transitioned from rapid growth to a steady state of high-volume output.
- DP 2.1 UHBR capable product development and certifications are in mass production and continue to grow
- VESA Enhanced cable and connector certification programs have been very successful with significant numbers of DP54, DP80 and now DP80LL cables certified
- MST continues to be a popular DP feature and with UHBR20 + DSC it can be used to drive multiple high resolutions displays at high refresh rates through a single connector
- Display Performance Standards adoption and certification have been extremely successful the last several years
- Development and adoption of new technologies continues to drive steady VESA membership growth

Questions?

Thank you to the contributors that made this event possible

- ***Thank you, speakers.*** For donating your time, energy and expertise
- ***Thank you, VESA organizing staff.*** The detailed work of arranging these events is tedious and tiring but critical.
- ***Thank you, attendees.*** You are why we are here. Let us know how we did in feedback and include any suggestions for additional topics or improvement for next year.

VESA

THANK YOU

DisplayPort.org
DisplayHDR.org
ClearMR.org
AdaptiveSync.org
VESA.org